CARL ZEISS JENA

ZEISS

Speicher 256 K-DRAM-16

Gebrauchsanleitung

Инструкция по эксплуатации

Operating instructions

Mode d'emploi

Instrucciones para el uso

ZEISS
Speicher 256 K-DRAM-16

Gebrauchsanleitung
Инструкция по эксплуатации
Operating instructions
Mode d'emploi
Instrucciones para el uso

Inhaltsverzeichnis

- Technische Daten	36 04 38:122.25(TB2)	Blatt 1- 4
1. Leistungskennwerte	Blatt 1	
2. Anschlußkennwerte	Blatt 2	
3. Konstruktive Kennwerte	Blatt 3	
4. Umgebungsbedingungen	Blatt 3	
5. Schutzkennwerte	Blatt 3	
6. Funktionsnachweis	Blatt 3	
7. Busbelegung für S- bzw.R-Bus	Blatt 4	
- Funktionsbeschreibung	36 04 38:122.25(TB3)	Blatt 1-17
1. Funktionskomplexe	Blatt 1	
2. Detallierte Beschreibung	Blatt 6	
- Nutzeranleitung	36 04 38:122.25(TB4)	Blatt 1- 7
1. Allgemeines	Blatt 1	
2. Spannungsversorgung	Blatt 1	
3. Inbetriebnahme und Betrieb	Blatt 1	
4. Einstellvorschrift	Blatt 2	
5. Interruptbehandlung	Blatt 5	
6. Busbelastung	Blatt 5	
7. Softwarebedingungen	Blatt 6	
8. Montage und Installation	Blatt 7	
9. Wartung und Instandsetzung	Blatt 7	
- Schaltteillisten	36 04 38:122.25(SL)	Blatt 1+ 2
	36 04 38:127.25(SL)	Blatt 1+ 2
- Einlagen:		
LP-Bestückungen	36 04 38:122.25	
	36 04 38:127.25	
Stromlaufpläne	36 04 38:122.25(SP)	Blatt 1- 3
	36 04 38:127.25(SP)	Blatt 1- 3

1. Leistungskennwerte

1.1	Schaltkreise:	Dyn.RAM U 2164 D 20, U 2164 D 15 oder schnellere Typen DRAM 64 K x 1.
1.2	Speicherkapazität:	128 oder 256 Kbyte 128 Kbyte Wickelbrücke XB5 geschlossen 256 Kbyte Wickelbrücke XB5 offen
1.3	Arbeitsart:	quasistatisch
1.4	Zugriffszeit:	systembusbezogen <400 ns (1 x TW)
1.5	Refresh:	internes Zwangsrefresh
1.6	Refreshzyklus-zeit:	400 ns alle 14,5...15,5 us. Beim Zusammentreffen einer Speicheranforderung mit einem gerade laufenden Refresh-Zyklus können sich Zugriffszeit und Zykluszeit um max. 400 ns verlängern.
1.7	Adressenbereich:	24 auswertbare Adreßleitungen /ADR0 ... /ADR17: 0 ... 16 Mbyte
1.8	Anfangsadresse:	Durch Wickelbrücken in Schritten von 4 Kbyte innerhalb des gesamten 16 Mbyte-Adreßraumes von 000000 bis FFFFFF einstellbar. Die Überlappung des Adreßbereiches mit dem solcher Module, die kein /INH1 liefern, ist nicht zulässig.
1.9	/XACK-Generierung:	Einstellbar in 2 Stufen, und zwar als voreilendes oder nacheilendes XACK möglich
1.10	Inhibit:	Die Speichereinheit wertet als Slave niedrigster Priorität das Signal /INH1 aus.
1.11	Paritätsprüfung:	Sie erfolgt byteweise, gerade oder ungerade Parität programmierbar. Ausgabe Portadr. mit Datenbyte 00H: gerade Ausgabe Portadr. mit Datenbyte 01H: ungerade
1.12	E/A-Portadresse:	Zwei Grundbereiche mit Anfangsadresse 00xx oder 80xx möglich. In jedem Bereich sind maximal 16 verschiedene Einheiten adressierbar.

ÄZ	Mitt. Nr.	Blatt
1	11	1, 2, 4

AEND.-VERMERK:		SPEZ.TECHNOL.
ÄZ1 ÄM11 06.89	256K-DRAM-16 (Technische Daten)	BL-ANZ.: 4
BEARB:		
KONSTR.:		
TECHNOL.:	36 04 38 : 122.25 (TB2)(4)	
E-STAND.:		
STAND.:		

1.13 Anzeigen (LED):

RUN	Zugriff zur Speichereinheit (ADR + CMD)
Parity Error	Paritätsfehler vorhanden.

1.14 E/A-Port

Die Speichereinheit besitzt ein 8 bit breites Register (/DATØ.../DAT7), das beim Auftreten eines Paritätsfehlers eine Information über die den Fehler verursachende Speichergruppe (9 Speicherschaltkreise) enthält. Das Paritätsfehlerregister hat folgende Inhalte:

byte Inhalt	Bedeutung
ØF	kein Fehler PAGEØ
Ø3	kein Fehler PAGE1
ØE	Fehler PAGEØ EV
ØD	Fehler PAGEØ OD
ØC	Fehler PAGEØ EV + OD
Ø2	Fehler PAGE1 EV
Ø1	Fehler PAGE1 OD
ØØ	Fehler PAGE1 EV + OD

Die Fehlerinformation kann beliebig oft gelesen werden. Das Löschen der Information ist möglich durch
- das Bussignal /INIT bzw. INIT-2
- einen Schreibzugriff auf die eingestellte E/A-Portadresse.

Nach dem Löschen enthält das Paritätsfehlerregister die Information ØFH oder Ø3H.

1.15 Interrupts:

Paritätsfehler können bei entsprechender Wickelbrückenverbindung Interrupts liefern. Es sind die Interruptquellen INTØ bis INT7 möglich.

2. Anschlußkennwerte

2.1 Energieversorgung:

Betriebsspannung + 5 V:	min + 4,9 V	max. + 5,2 V
Strombedarf:	max. 2,5 A	

2.2 Steckverbinder und Anschlußbelegung

X1: Systembus MMS16 (360438:122.25)
oder X2: Residentbus MMS16 (360438:127.25)
gemäß Busrichtlinie.

Anschlußbelegung siehe Blatt 4

	BL.-NR.
36 Ø4 38 : 122.25 (TB2)(4)	2

ÄZ1 ÄM11 Ø6.89

3. Konstruktive Kennwerte

Mehrlagenleiterplatte mit den Abmessungen
233,4 mm x 160 mm (Doppeleuropaformat)

Zulässiges Steckraster: min. 20,32 mm

Steckverbinder X1 od. X2: Steckerleiste C96-102 TGL 43887

Mögliche Bestückungsvarianten:
Jeweils 128 Kbyte oder 256 Kbyte
an Systembus oder Residentbus möglich.

4. Umgebungsbedingungen

Die Module sind wie folgt klassifiziert:

EK3/TK1/G02/S21/TM1,2,3,4 - TGL 26465

Die Einsatzklasse EK3 ist im Finalprodukt durch geeignete konstruktive Lösungen, z.B. durch Zwangsbelüftung, zu gewährleisten.

5. Schutzkennwerte

Schutzklasse: 0 - TGL 21366
Die Module werden nur mit Kleinspannungen betrieben.

Schutzgrad: IP 00 - TGL RGW 778

Die Anforderungen bezüglich Schutzgüte, Funkentstörklasse und Störbeeinflussung sind durch geeignete konstruktive und schaltungstechnische Maßnahmen im Finalerzeugnis zu realisieren.

6. Funktionsnachweis

Die Module nach 360438:122.25 bzw. 360438:127.25 sind mit einer Prüf-Brückenbelegung dynamisch geprüft. Der Funktionsnachweis wird nach der gerätespezifischen Konfigurierung nach xxxxxx:xxx.27 mittels dynamischem Funktionstest erbracht.

7. Busbelegung für den System- bzw. Residentbus

Stift Nr.	Reihe a	b	c
01	/MRDC	--	/IORC
02	/MWTC	GND	/IOWC
03	--	--	--
04	--	--	--
05	/AUX0	--	/AUX2 *
06	--	GND	--
07	/INT0	/INT1	/INT2
08	/INT3	/INT4	/INT5
09	/INT6	GND	/INT7
10	--	/XACK	/INIT
11	+5V	--	--
12	+5V	--	--
13	--	GND	--
14	+5V	--	--
15	+5V	/INH1	--
16	/ADR0	/ADR1	/ADR2
17	/ADR3	GND	/ADR4
18	/ADR5	/ADR6	/ADR7
19	/ADR8	/ADR9	/ADRA
20	/ADRB	GND	/ADRC
21	/ADRD	/ADRE	/ADRF
22	/ADR10	/ADR11	/ADR12
23	/ADR13	GND	/ADR14
24	/ADR15	/ADR16	+5V
25	/ADR17	/BHEN	+5V
26	--	GND	--
27	/DAT0	/DAT1	/DAT2
28	/DAT3	/DAT4	/DAT5
29	/DAT6	GND	/DAT7
30	/DAT8	/DAT9	/DATA
31	/DATB	/DATC	/DATD
32	/DATE	GND	/DATF

* /AUX2 = mit Wickelstift auf der Leiterplatte frei wählbar.

FUNKTIONSBESCHREIBUNG

1. Funktionskomplexe [siehe 360438:122.25(SP)(2) Bl.1 u.2]

Vorbemerkungen:
- Hierzu Blockschaltbild auf Blatt 4 und 5 dieser Beschreibung.
- Im Text werden die Kurzbezeichnungen des Blockschaltbildes in ( ) gesetzt.
- Adressen- und Datensignale werden grundsätzlich hexadezimal angegeben!

1.1 Speichermatrix

Die (SPEICHERMATRIX) hat eine Kapazität von 256 K-Byte. Sie enthält 36 Schaltkreise U 2164 D und ist aufgeteilt in zwei Seiten zu je 2 x 9 Schaltkreisen.
Die Seite 0 speichert die ersten 64K 16-bit-Worte. Sie unterteilt sich in

PAGE0/EV-speichert die Datenbits D0..D7 auf gerade Adressen
PAGE0/OD-speichert die Datenbits D8..DF auf ungerade Adressen.

Die Seite 1 speichert die zweiten 64K 16-bit-Worte. Sie unterteilt sich in

PAGE1/EV-speichert die Datenbits D0..D7 auf gerade Adressen
PAGE1/OD-speichert die Datenbits D8..DF auf ungerade Adressen.

Das Signal "WREV" ist aktiv, wenn Daten auf geradzahlige Adressen zu speichern sind. Das Signal "WROD" ist aktiv, wenn Daten auf ungeradzahlige Adressen abgespeichert werden.

1.2 Datenein- und Ausgabe

Als Treiber werden 3 Schaltkreise DS 8287 D verwendet. D1 und D3 sind die Datentreiber für Wortübertragung (DATENPUFFER). Sie werden durch das Richtungssignal "T" zwischen Schreiben = 0 und Lesen = 1 umgeschaltet. Das Signal "DBEN" gibt diese Treiber frei bei Wortübertragung und bei Übertragung eines Wortes in zwei Schritten für das LOW-Byte. Der Schaltkreis D2 (SWAP PUFFER) überträgt bei dieser Betriebsart vorher die Daten für das HIGH-Byte auf D0...D7. Die Aktivierung des Schaltkreises erfolgt durch das Signal "SWAPEN". Da die Speicherschaltkreise ihre Daten beim Lesen

nur < 10 Is halten, werden die Daten in zwei Latchregister DS 8283 D (LATCH) (D4 u. D5) gespeichert. Sie dienen gleichzeitig zur Entkopplung zwischen Datenein- und Datenausgang der Speicherschaltkreise. Mit dem Signal "RAM" werden die Daten in die Latch-Register übernommen. Über das Signal "LATCHEN" werden die Daten über die Datenbustreiber auf dem Bus verfügbar. Die Signale T, SWAPEN, DBEN, WREV und WROD werden in der (R/W LOGIK und DATEN-BYTEKONTROLLER) erzeugt.

1.3 DRAM-Controller, Treiber und Ablaufsteuerung

Der (DRAM-KONTROLLER) erzeugt aus den Adresseneingangssignalen AV1 bis AV10 die Multiplexadressensignale, die über Adressentreiber (ADR TREIBER) zu den Signalen AM0 bis AM7 werden.
Die Signale AM0 bis AM7 enthalten

die ROW-Adressen	für das Steuersignal RASxx (Row-Adressen-Selekt-Signal)
die COLUMN-Adressen	für das Steuersignal CASxx (Column-Adressen-Selekt-Signal)
oder die REFRESH-Adresse	für das REFRESH-Signal

Die Steuersignale RAS0, RAS1 und CAS0 werden ebenfalls über einen (STEUERSIGNAL TREIBER) verstärkt und es entstehen die Signale

RAS0E, RAS00, RAS1E, RAS10, CAS0E, CAS00, CAS1E und CAS10.

Für die zeitlich richtige Zuordnung der Eingangssteuersignale /MSEL, /RFSH, PAGE1, /RASI und /CASI sorgt die (ABLAUFSTEUERUNG). Sie entscheidet, ob eine Speicheranforderung oder eine Refresh-anforderung bedient wird und stellt demzufolge die erforderlichen Steuersignale bereit.

Der vorhandene Refreshgenerator erzwingt alle ca. 15 Is ein Zwangsrefresh, um den Datenerhalt der Speicherzellen zu garantieren.

1.4 Adressenpuffer und Adressenbereichslogik

Die von der ZVE gelatchten Adressen werden über Schaltkreise DL 014 D gepuffert (ADR PUF) und dann dem DRAM-Controller zugeführt. Gleichzeitig gehen die Signale auf drei Adder DL 083 D. Durch die an den B-Eingängen der Schaltkreise befindlichen Wickelbrückengruppen ist der Adressenbereich der Leiterplatte einstellbar (ADR DEC).
Die Wickelbrückengruppe XB2.1, 2, 3, 4 legt in 4 Kbyte-Schritten den niederwertigsten Teil "a" der Anfangsadresse "cba000" fest. Die Wickelbrückengruppe XB1.5, 6, 7, 8 legt im 1 Mbyte-Bereich "b" in 64 Kbyte-Schritten die Speicheranfangsadresse fest und die Wickelbrückengruppe XB1.1, 2, 3, 4 bestimmt im 16 Mbyte-Bereich "c" in 1 Mbyte-Schritten die Speicheranfangsadresse.

Beim Überschreiten der sich jeweils ergebenden Endadresse liefert diese Logik kein /XACK-Signal mehr. Damit ist feststellbar, daß in diesem Bereich kein Speicher vorhanden ist. Diese Adressenlogik ist über das Signal /MAD mit den Speicheranforderungssignalen /MRDS oder /MWTC verknüpft und liefert das Signal RAMSEL.

1.5 E/A-Port-Logik

Durch die eingebaute Fehlererkennungsschaltung mittels byteorientiertem Paritätsbit ist für jede Leiterplatte eine E/A-Adresse notwendig (E/A ADR DEC).

Die Grundadresse im oberen Adressenbereich wird über den Schaltkreis DL 8121 D bereitgestellt. Zwei Grundadressen sind mit (XB4) einstellbar und zwar ØØab oder 8Øab. Über einen 1 aus 8 - Decoder wird das LOW-Byte der E/A-Adresse definiert. Über Wickelbrücken am Eingang (XB5) kann man die Gruppe "a" wählen und zwar "a" = Ø oder 4. Über Wickelbrücken (XB7) an den Ausgängen des Decoders kann man die Adresse "b" in 2er-Schritten von 2 ...E festlegen.

Die logisch so ermittelte Adresse wird mit den Signalen IOWC oder IORC in der (E/A CMD LOGIK) zu den Signalen /IOSEL, /REGWT, /REGRD verknüpft.

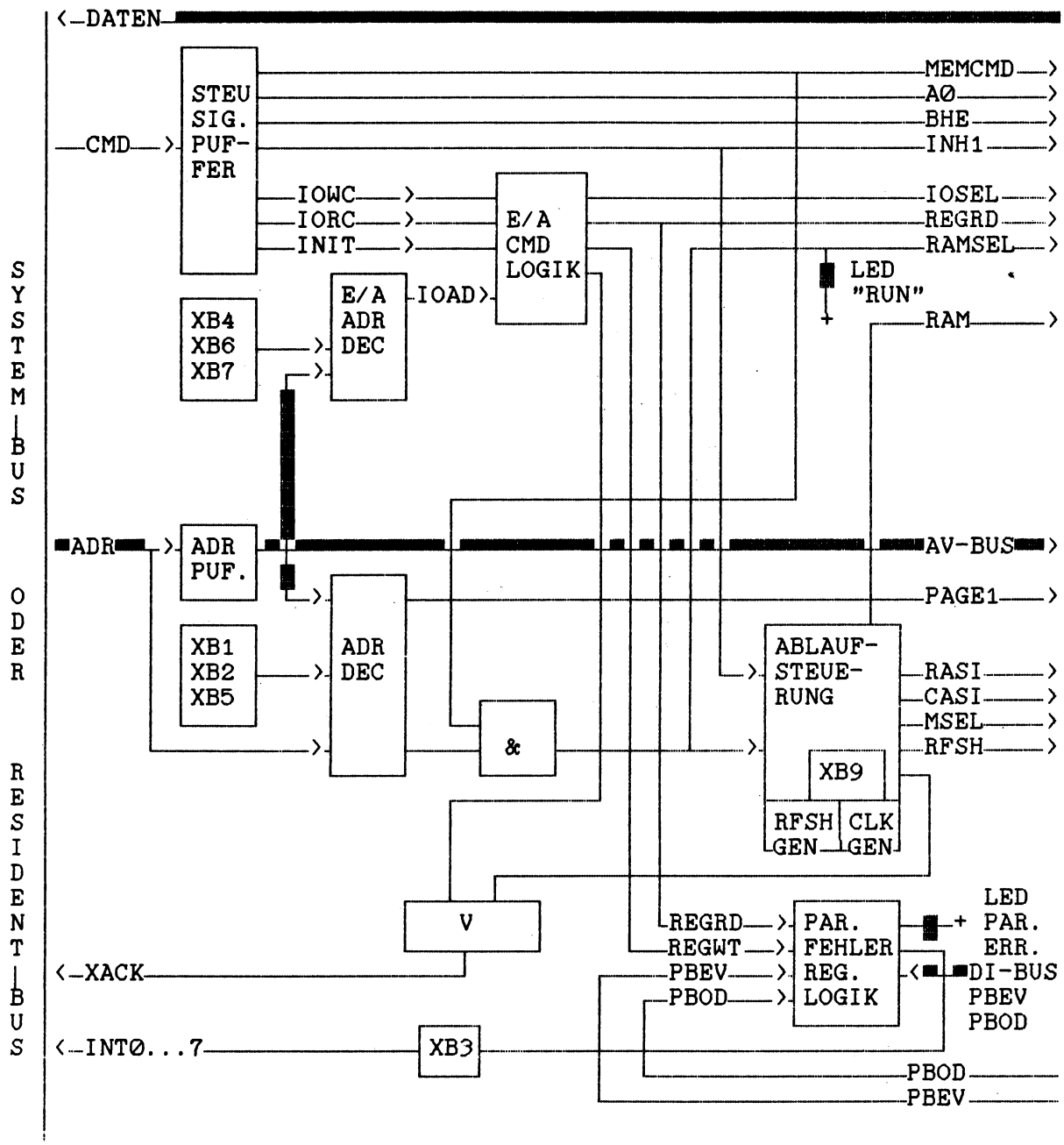
1.6 Steuersignal-Puffer

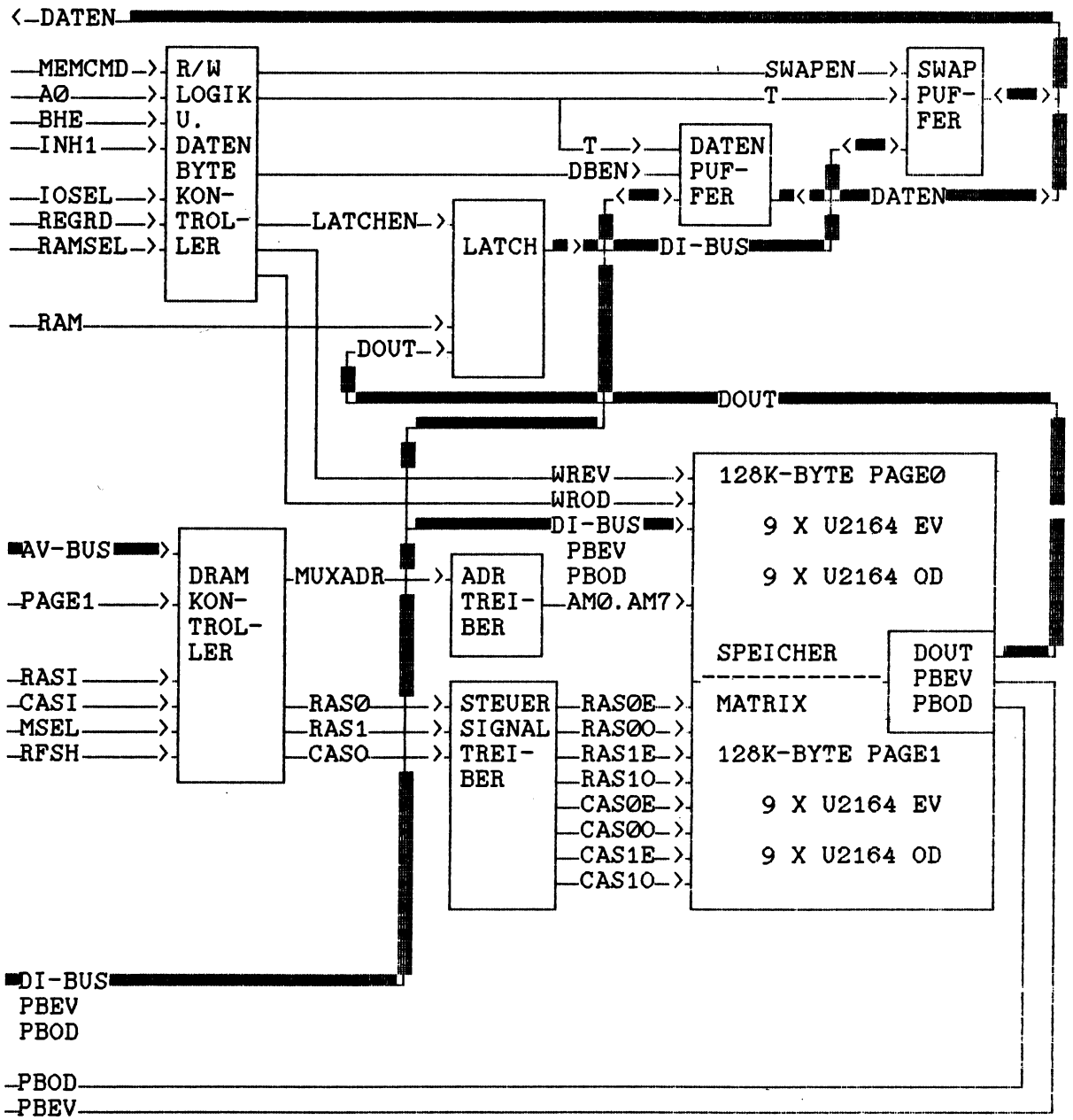
Die Steuersignale /MWTC, /MRDC, /INH1, /INIT, /IORC, /IOWC, AØ und /BHEN werden über Gatter gepuffert (STEU. SIGN. PUFFER).

1.7 Paritätsüberwachungslogik (PAR.FEHLER & REG. LOGIK)

Zu jedem Datenbyte des 16-Bit-Wortes wird ein Paritätsbit erzeugt und abgespeichert, so daß in der Matrix 2 x 9 Bit pro 16-Bit-Wort abgespeichert werden. Die Parität kann für beide Bytes gemeinsam vorgewählt werden, und zwar ob gerade oder ungerade Parität gewünscht wird.
Die Einstellung erfolgt für jedes Byte über je einen Paritätsgenerator/Prüfer-Schaltkreis, dessen 9. Bit über ein Flip-Flop definiert wird, welches man über die festgelegte E/A-Adresse und DØ auf HIGH oder LOW setzen kann. Auftretende Fehler beim Lesen werden durch das Flip-Flop "PERR" gemeldet und optisch angezeigt. Über eine Wickelbrückengruppe (XB3) kann man wählen, ob ein Paritätsfehler INTØ....INT7 auslösen soll.
Aus dem Paritätsfehlerregister läßt sich die Fehlerursache in der Matrix bis zur Gruppe ermitteln (siehe 36Ø438:122.25 (TB2)(4).

1.8 Blockschaltbild 256K-DRAM-16 (2 Blatt)





36 04 38 : 122.25 (TB3)(4)	BL.-NR.	
	5	

2. Detallierte Beschreibung

Die nachstehenden Erläuterungen beziehen sich auf den

- Stromlaufplan 360438:122.25 (SP)(2) Bl.1, 2, 3, den
- Bestückungsplan 360438:122.25 (4) und den
- Impulsablaufplan 360438:122.25 (TB3)(4) Bl.15.

Bei den logischen Gleichungen werden folgende Symbole verwendet:

.	
*	UND
V	ODER
==	identisch
B	Summe
Txx	Taktflanke aus der Ablaufsteuerung xx = Abgriffszeit in ns.

2.1 Speichermatrix und Treiber für Adressen- und Steuersignale

Die Speichermatrix mit 256 Kbyte = 128K 16 bit-Worte ist wie folgt aufgebaut:

Die Matrix ist in 2 Seiten (PAGE) unterteilt: PAGE0 und PAGE1.
In jeder Seite werden 128 kbyte oder 64K 16 bit-Worte gespeichert.

Jede Seite ist in 2 Gruppen unterteilt: Die Gruppe EV (PAGE0/EV oder PAGE1/EV) enthält die bytes mit den geradzahligen Adressen, die Gruppe OD (PAGE0/OD oder PAGE1/OD) die mit den ungeradzahligen.

Jede der 4 Gruppen enthält 9 Schaltkreise U 2164 D. Davon wird in 8 Schaltkreise das Datenbyte D0...D7 oder D8...DF abgespeichert. Der 9. Schaltkreis enthält das Paritätsbit.

Zuordnung der Adressen:

Ist die Speicheranfangsadresse mit 000000 festgelegt, so gilt:

Gruppe	Adresse	Datenbits D0	D1	D2	D3	D4	D5	D6	D7	Paritäts-Bit PBE
		Schaltkreise								
PAGE0/EV	000000..01FFFF	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx
PAGE1/EV	020000..03FFFF	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx
		Datenbits D8	D9	DA	DB	DC	DD	DE	DF	Bit PBO
		Schaltkreise								
PAGE0/OD	000000..01FFFF	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx
PAGE1/OD	020000..03FFFF	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx	Dxx

```
*************************************************************************
*                                          * BL.-NR. *                  *
*                                          *         *                  *
*        36 04 38 : 122.25 (TB3)(4)        *    6    *                  *
*                                          *         *                  *
*************************************************************************
```

Die Adresseneingänge A0...A7 aller Schaltkreise sind parallelgeschaltet und werden durch die Signalleitungen AM0...AM7 angesteuert. Die Adressensignale werden aus den Signalen 00...07 verstärkt über den Treiber AM 2966 (D55) gebildet.

Beim Schreibsignal sind die Schaltkreise von PAGE0/EV und PAGE1/EV parallelgeschaltet und werden vom Signal WREV angesteuert. Alle Zellen mit gerader Adresse werden also über dieses Signal beschrieben. Weiterhin sind die Schaltkreise von PAGE0/OD und PAGE1/OD parallelgeschaltet und werden vom Signal WROD angesteuert. Alle Zellen mit ungerader Adresse werden also über dieses Signal beschrieben.

Es gilt: WREV = RAM * /INH1 * MWTC * /A0
WROD = RAM * /INH1 * MWTC * (BHEN V A0)

Das bedeutet: Wird ein Wort von einer ungeraden Adresse in 2 Zyklen geschrieben, so wird im

1. Zyklus A0 * BHEN BUS D0..D7 -->Speicher D8..DF
WROD = aktiv
2. Zyklus /A0 * /BHEN BUS D0..D7 -->Speicher D0..D7
WREV = aktiv

Wird ein Wort von einer geraden Adresse in einem Zyklus geschrieben, so wird

/A0 * BHEN BUS D0..DF -->Speicher D0..DF
WREV * WROD sind aktiv.

Die ROW-Adressensignale RAS0E, RAS00, RAS1E, RAS10 sind den Gruppen wie folgt zugeordnet:

RAS0E = PAGE0/EV
RAS00 = PAGE0/OD
RAS1E = PAGE1/EV
RAS10 = PAGE1/OD

In jeder Gruppe sind die RAS-Eingänge der Schaltkreise parallelgeschaltet.

Es gilt:
RAS0E = RAS00 = RAS00 über Treiber AM 2966 (D56) verstärkt.
RAS1E = RAS10 = RAS01 über Treiber AM 2966 (D56) verstärkt.

Bei den Datenwortstellen sind immer die beiden Schaltkreise der Gruppen
PAGE0/EV und PAGE1/EV sowie
PAGE1/OD und PAGE1/OD parallelgeschaltet.

Die Eingänge DI der Schaltkreise ergeben die Signale
DI0....DIF, PBE, PBO

Die Ausgänge DO der Schaltkreise ergeben die Signale DO0....DOF. Diese Signale sind über die Latch-Treiber DS 8282 D (D4, D5) mit den Signalen DI0...DIF verbunden. Die Signale DI0...DIF werden über bidirektionale Datenbustreiber DS 8287 D (D1, D2, D3) mit dem Systemdatenbus verbunden.

Die Datenlatchtreiber werden durch das Signal /LATCHEN durchgeschaltet. Mit dem Signal RAM werden die Daten in die Latchregister übernommen.

Es gilt: LATCHEN = RAMSEL * MRDC
RAM = T300

Die Richtungssteuerung der Datenbustreiber geschieht über das Signal T.

Es gilt: T = LATCHEN V REGRD
T = (RAMSEL * MRDC) V REGRD

Im Ruhezustand stehen also die Bustreiber in Richtung Schreiben.

Die Freigabe (/OE) erfolgt bei den Datenbustreibern D1, D3 mit dem Signal /DBEN.

Es gilt: DBEN = /A0 * /INH1 * (RAMSEL V IOSEL)

Die Freigabe (/OE) des Datenbustreibers D2 erfolgt über das Signal /SWAPEN.

Es gilt: SWAPEN = A0 * /INH1 * (RAMSEL V IOSEL)

Das Column-Adressen-Selektsignal CAS ist in jeder Gruppe parallelgeschaltet. Vier CAS-Signale steuern die vier Gruppen an und zwar:

/CAS0E = PAGE0/EV
/CAS0O = PAGE0/OD
/CAS1E = PAGE1/EV
/CAS1O = PAGE1/OD

Die einzelnen CAS-Signale werden aus CASO über den Treiber AM 2966 (D56) erzeugt.

2.2 DRAM-Controller

Der DRAM-Controller AM 2964 B (D23) empfängt von der Ablaufsteuerung seine notwendigen Steuersignale. Diese sind:

/MSEL, /RFSH, PAGE1, /RASI, /CASI sowie die Adressensignale AV1....AV10.

Der DRAM-Controller verarbeitet diese Eingangssignale logisch zu folgenden Ausgangssignalen:

Es gilt: RAS00 = (/PAGE1 * RASI * /RFSH) V (RFSH * RASI)
RAS01 = (PAGE1 * RASI * /RFSH) V (RFSH * RASI)
CASO = CASI * /RFSH

00...07 = [(AV1...AV8) * /MSEL * /RFSH] V [(AV9...AV10) * MSEL * /RFSH] V [(Refreshadresse intern) * (/MSEL V MSEL) * RFSH]

```
*********************************************************************
*                                          * BL.-NR. *              *
*                                          *         *              *
*        36 04 38 : 122.25 (TB3)(4)        *    8    *              *
*                                          *         *              *
*********************************************************************
```

2.3 Ablaufsteuerung

Die Ablaufsteuerung liefert die Signale für den DRAM-Controller. Da diese Signale bis auf Refresh zeitlich versetzt benötigt werden, ist als Kernstück ein 20 MHz-Generator vorhanden, der Impulse von 25 ns Breite und 50 ns Abstand erzeugt. Diese Impulse werden zur Synchronisation der beiden Anforderungsquellen

- Speicherzugriff für Schreiben oder Lesen und
- Refresh-Zyklus

verwendet. Nach erfolgter Synchronisation wird eine Schiebekette, bestehend aus dem Schaltkreis DL 164 D (D75) angestoßen. Sie liefert 50 ns breite Impulse im Abstand von 50 ns. Diese werden zur Erzeugung der Steuersignale und zum Löschen des beendeten Zyklus sowie zur Erzeugung des Quittungssignals /XACK verwendet.

Eine Speicheranforderung kann bei Schreiben oder Lesen erfolgen.

Es gilt:
```
MCMD   =  MWTC V MRDC
RAMSEL =  MCMD * MAD
RAMSEL =  (MWTC V MRDC) * MAD
```

Eine Speicheranforderung wird über das Zugriffs-FF "RAMQ" angemeldet. Es erzeugt das Signal RAMRQ.

Es gilt: RAMRQ = RAMSEL

Das Löschen des FF's findet bei Netz ein, RESET und 200 ns nach einem laufenden Zyklus statt.

Es gilt: RAMRQ = IN V (RAM * T200)

Eine Refreshanforderung wird über das RFSH-FF angemeldet. Es erzeugt das Signal AREF.

Es gilt: AREF = CR

Das Löschen erfolgt über AREF = RFSH * T250, also nur 250 ns nach einem laufenden Zyklus.

Es wird immer die zuerst kommende Anforderung zugelassen. Demzufolge ergibt sich für das gemeinsame Anforderungssignal REQ:

Es gilt:
```
REQ  = RFSH V RAM
RAM  = RAMRQ * /AREF * /RASOFF
RFSH = /RAM * AREF
REQ  = RAM V /RAM * AREF
REQ  = RAMRQ  * /AREF * /RASOFF V /(RAMRQ * /AREF * RASOFF) *
       * AREF
```

Die beiden Anforderungssignale verriegeln sich also gegenseitig.

Das Löschen von RAM erfolgt mit RAM = I V T300

```
*********************************************************************
*                                          * BL.-NR. *              *
*                                          *         *              *
*        36 04 38 : 122.25 (TB3)(4)        *    9    *              *
*                                          *         *              *
*********************************************************************
```

Damit in dieser Zeit keine neue Speicheranforderung kommen kann, wird das Signal RASOFF = LOW erzeugt und zwar ab RASOFF = T200

Das Löschen geschieht mit RASOFF = T350 V I

In der Zeit von 200 ns nach Beginn eines Speicherzugriffs bis 350 ns nach Beginn ist eine neue Speicheranforderung durch diesen Weg gesperrt. Weiterhin bestimmt dieses Signal die Breite des RAS - Impulses.

Die Synchronisation zum Auslösen eines Speicherzugriffs geschieht nun folgendermaßen:

Mit REQ = High und der Flanke des nächsten CLKx-Impulses, CLK0 genannt, wird das FF "SREQ" gesetzt:

SREQ = CLK0 * REQ

Mit dem folgenden CLKx-Impuls, CLK1 genannt, wird nun das RAS-FF gesetzt. Der RASI-Impuls wird aktiv.

Es gilt:

RASI = CLK1 * SREQ

Das RAS-FF wird gelöscht durch RASI = RASOFF

Die Taktimpulse T50 ...T350 an den Ausgängen des DL 164 D (D75) werden wie folgt erzeugt:

Die beiden Eingangssignale DS1 und DS2 des DL 164 D sind mit RAS und /MSEL belegt. Nach dem Einschalten oder nach jedem Speicherzyklus ist das CAS-FF gelöscht. Somit ist

/MSEL = I V T350 V T250 * RFSH

Damit ist der Eingang DS2 = High. Mit RAS = High und dem nächsten CLKx-Impuls, CLK3 genannt, erscheint am Ausgang DO1 von DL 164 D High-Pegel.

Somit gilt: T50 = RAS * /MSEL * CLK3

Dieser High-Pegel aktiviert aber nun das CAS-FF.

Es gilt: MSEL = T50 * RAS

Somit ist auch CASI = MSEL + tHL (D78) (DL 038 D)

Es wird nun durch MSEL DS2 von D75 (DL 164 D) auf LOW gelegt. Damit ist aber der Ausgang DO1 mit dem nächsten Takt, CLK4 genannt, wieder LOW, also

T50 = RAS * MSEL + CLK4

Mit jedem Takt CLKx wird nun der ca. 50 ns breite Impuls weitergeschoben. Nach 200 ns wird der Eingang DS1 von D75 (DL 164 D) ebenfalls auf LOW gelegt und zwar mit

RASI = RASOFF = T200

Nun kann ruhig danach der Eingang DS2 von D75 wieder auf HIGH gehen, es werden keine weiteren Impulse erzeugt.

Es gilt: MSEL = T350 V T250 * RFSH V I

Dies wurde bereits erläutert.

Da der Löschimpuls 50 ns breitist, kann frühestens nach 400 ns ein neuer Speicher- oder Refreshzyklus beginnen.

In der Ablaufsteuerung wird auch das Quittungssignal /XACK erzeugt. Das ACK-FF wird gesetzt bei

1. vorlaufendem XACK durch RACK = CASI * RAM * T50, also ca. 100 ns nach RAS wird RACK erzeugt. Das ist der Fall, wenn die Wickelbrücke XB8.2 geschlossen ist.

2. nachlaufendes XACK durch RACK = CASI * RAM * T200, also ca. 250 ns nach RAS wird RACK erzeugt. Das ist der Fall, wenn die Wickelbrücke XB8.1 geschlossen ist.

Es gilt nun XACK = RACK * RAMSEL * /INH1 V IOSEL

2.4 Adressenbereichslogik

Die Adressensignale /ADR1.../ADR10 werden über Schaltkreise DL 014 D (D12, D26, D27) gepuffert. Deren Ausgangssignale AV1...AV10 gehen zum DRAM-Controller und zur E/A-Adressenlogik. Die Adressensignale /ADRC.../ADR17 gehen direkt zur Adressenbereichslogik. Die Anfangsadresse läßt sich in Schritten zu 4 Kbyte, 16 Kbyte und 1Mbyte in Richtung höhere Adressen verschieben. Für diesen Zweck werden drei Adder DL 083 D (D9, D10, D11) verwendet.

Im ersten Adder (D11) werden die Adressensignale /ADRC.../ADRF mit dem eingestellten Wert der Wickelbrückengruppe XB2.1...4 addiert (Verschiebung in 4K-Schritten).

Im zweiten Adder (D10) werden die Adressensignale /ADR10.../ADR13 mit dem eingestellten Wert der Wickelbrückengruppe XB1.5...8 addiert (Verschiebung in 64 K-Schritten).

Der dritte Adder (D9) addiert die Adressensignale /ADR14.../ADR17 mit dem eingestellten Wert der Wickelbrückengruppe XB1.1...4 (Verschiebung in 1M-Schritten).

Es gilt folgende Beziehung beim 256K-Speicher:

MAD = 02.2 * 03.2 * 00.3 * 01.3 * 02.3 * 03.3 * /OCR.3
(Bem.: 00.3 = Ausgang 0 von Adder 3)

Diese Bedingung wird nur erfüllt, wenn der Wert der Adresse größer oder gleich dem über XB1 und XB2 eingestellten Wert ist. Der Adressenwert ist negiert anzulegen, weil die negierten Adressensignale /ADRC.../ADR17 anliegen.

Wird der über XB1 und XB2 eingestellte Anfangsadressenwert plus 256 K Adressenbereich überschritten, so ist die Bedingung nicht mehr erfüllt.

2.5 Ein- Ausgabe - Portlogik

Für das Setzen der Parität auf gerade oder ungerade ergänztes Paritätsbit, für das Löschen des Paritätsfehler-Flip-Flops und für das Lesen des Paritätsfehlerregisters wird je Leiterplatte eine E/A-Adresse benötigt. Der Adressenbereich xxyz des MMS16-Z-Systems ist für den Speicher wie folgt definiert:

xx = Grundadresse
y = Gruppenadresse
z = Einzeladresse

Grundadresse (xx):
Für den Speicher sind die zwei Grundadressen
80 für den Systembus und
00 für den Residentbus
festgelegt. Dieser Wert wird über einen 8-Bit-Comparator, Schaltkreis DL 8121 D (D24) entschlüsselt. Die Umschaltung von 00 auf 80 wird durch die Brücke XB6 erreicht:

XB6 geschlossen = 00
XB6 offen = 80

Das Ausgangssignal BASEIOAD ist somit:

BASEIOAD = B (AV8..AV10) == B (IB0...IB7)

Am Eingang des 1/8-Decoders DS 8205 D (D39) wird die Gruppe entschlüsselt, und zwar Wert 4 oder 0

Es gilt: /E2 = AV6 * XB5.2/3 V /AV6 * XB5.2/1

Am Ausgang des DS 8205 D (D39) wird dann die Einzeladresse abgenommen.

Damit wird
IOAD = BASEIOAD * B (AV1..AV3) * /AV7 * (AV6 V /AV6) * /AV4*
* /AV5 * (XB7.1 V .2 V .3 V .4 V .5 V .6 V .7 V .8)

Es gilt weiter: IOSEL = IOAD * (IORC V IOWC)

Dieses Signal erzeugt u. a. das XACK für die Ein- oder Ausgabe zum oder vom Speicher. Das Signal REGWT ist im Ruhezustand High. Bei Reset wird damit das Paritätsfehler-FF gelöscht und das PEO-FF gesetzt.

Es gilt: /PERF = REGWT = I V (IOAD * IOWC)

Beim PEO-FF gilt: PEO = /IN V REGWT * DIØ

Der Löschvorgang, der gleich dem Setzvorgang an diesem FF ist, tritt fast gleichzeitig auf. Dies ist hier zulässig, weil DIØ über Widerstände High-Pegel erhält.

Um das Paritätsfehlerregister zu lesen, wird das Signal /REGRD verwendet:

REGRD = IORC * IOAD

2.6 Steuersignalpuffer

Die Steuerignale sind über schnelle Gatter MH 74 S Ø4 gepuffert. Dies deshalb, um keine zusätzlichen Zeitverluste entstehen zu lassen

2.7 Paritätsbiterzeugung, -prüfung und -meldung

Vor der Paritätsbitbildung im Speicher kann softwareseitig durch Programmierung des PEO-FF's (D42) festgelegt werden, ob das Signal ODD LOW oder HIGH sein soll. Ohne Programmierung wird das PEO-Signal nach dem Einschalten auf HIGH-Pegel gesetzt!

Das Flip-Flop läßt sich über eine Ausgabe mit DIO * E/A-Adr. programmieren. Ist DIØ = HIGH, so wird das PEO-Signal = HIGH. Ist DIØ = LOW, so ist das PEO-Signal = LOW. PEO-Signal = LOW bedeutet, daß beide Datenbytes getrennt über die beiden Paritätsgenerator/Prüfer-Schaltkreise dann mit einem Paritätsbit = HIGH ergänzt werden, wenn der Datenwert geradzahlig ist (gerade Parität). Ist das PEO-Signal HIGH, so wird der Datenwert mit einem Paritätsbit = HIGH erergänzt, wenn er ungeradzahlig ist (ungerade Parität).

Diese so gebildeten Paritätsbits werden beim Schreiben über die Logik mit den Gleichungen

PBE = PEV * /MRDC
PBO = POD * /MRDC

dem Speicher zugeführt. Wird der Speicher gelesen, so wird beim Lesen wiederum das gleiche Paritätsbit erzeugt und mit dem gelesenen verglichen.

Es gilt:
PERR = PARCL * (PBE*/PEV V PEV*/PBE) V (PBO*/POD V POD*/PBO)

Das heißt also, sobald in einem byte der gelesene Wert mit dem erzeugten Wert des Paritätsbits nicht übereinstimmt, wird ein Fehler gemeldet:

PARCL = T250 * LATCHEN * RAM * /INH1 * /PERR

Der Paritätsfehler wird nach 300 ns (Rückflanke v. T250), falls vorhanden, vom Paritätsfehler-FF gemeldet. Gleichzeitig werden die Art des Paritätsfehlers und die Seite (PAGE0 oder PAGE1) in das Paritätsfehlerregister übernommen (D6). Am Paritätsfehler-FF ist über eine LED eine optische Anzeige realisiert. Weiterhin besteht die Möglichkeit, den Fehler einer Interruptquelle (INT0....INT7) über das Wickelbrückenfeld (XB3) zuzuordnen. In der Interruptroutine kann dann die Fehlerauswertung erfolgen.

Der im Paritätsfehlerregister festgehaltene Fehler läßt sich über die festgelegte E/A-Portadresse lesen. Das Signal /REGRD gibt die Daten auf den Systembus.

Folgende Fehler lassen sich aus dem Registerwort erkennen:

Bit D7...D4	D3	D2	D1	D0	Bedeutung
0	1				immer feststehend
		1			PAGE0
		0			PAGE1
			1	1	kein Fehler
			1	0	Fehler in Gruppe EV
			0	1	Fehler in Gruppe OD
			0	0	Fehler in beiden Gruppen

1. Allgemeines

Die Steckeinheiten nach 360438:122.25 bzw. 360438:127.25 sind nach QV geprüfte, unkonfigurierte Basismodule. Dabei gilt die Prüfbrückenbelegung für den Adressenbereich 40000 - 7FFFF. Die Konfigurierung mittels Wickelbrücken, sowie die Komplettierung mit Frontplatten nach 360438:182.14(-) bzw. 360438:192.14(-) für den System- bzw. Residentbus sowie die Endprüfung erfolgt gerätespezifisch nach xxxxxx:xxx.27.

2. Spannungsversorgung

Zur Vermeidung unzulässiger Ströme im Kurzschlußfall sind die Steckeinheiten mit einem Schmelzeinsatz F 6,3 TGL 0-41571/01 bestückt, der zur Vermeidung von Übergangswiderständen mit den zugehörigen Kontaktfedern verlötet ist. Im Reparaturfall ist unbedingt darauf zu achten, daß ein typgleicher Schmelzeinsatz verwendet und mit den Kontaktfedern verlötet wird.

3. Inbetriebnahme und Betrieb

Die Konfigurierung der Steckeinheit für die Erfordernisse des Anwenders wird anhand der nachfolgenden Tabellen vorgenommen. Die Lage der Brücken ist aus den Übersichten und dem Bestückungsplan 360438:122.25(3) bzw. 360438:127.25(3) in Verbindung mit dem Stromlaufplan 360438:122.25(SP)(2) Blatt 1...3 zu entnehmen.

Übersicht über die Brückenfelder

Brückenfeld	Bedeutung	Blatt
XB1.1....4	Anfangsadresse im 16 Mbyte-Bereich	2
XB1.5....8	Anfangsadresse im 1 Mbyte-Bereich	2
XB2.1....4	Anfangsadresse im 64 Kbyte-Bereich	3
XB3.1....8	Interruptzuordnung	3
XB4	Einschränkung der Speicherkapazität	4
XB5.2 - 1, 2 - 3	E/A-Portgruppenadresse	4
XB6	E/A-Grundadresse	3
XB7.1....8	E/A-Adresse	4
XB8.1,2	WAIT-Zyklen	4
XB9	Taktgenerator intern/extern	4

Im Grundzustand nach der Prüfung ist keine Wickelbrücke geschlossen. Die Konfiguration muß vom Anwender definiert und in die gerätespezifischen Zeichnungsunterlagen eingearbeitet werden.

ÄZ	Mitt. Nr.	Blatt
1	11	1, 4

AEND.-VERMERK:		SPEZ.TECHNOL.
ÄZ1 ÄM11 06.89	256K-DRAM-16 (Nutzeranleitung)	BL-ANZ.: 7
BEARB:		
KONSTR.:		
TECHNOL.:	36 04 38 : 122.25 (TB4)(4)	
E-STAND.:		
STAND.:		

In den nachfolgenden Übersichten gilt:

+ = Brücke geschlossen.
- = Brücke offen

4. Einstellvorschrift

Lage des Adressenanfangs im 16 MByte-Bereich in 1 Mbyte-Schritten

XB1.1 ... 4

Anfangsadresse	Wickelbrücke XB1.1	XB1.2	XB1.3	XB1.4
0xxxxx	+	+	+	+
1xxxxx	+	+	+	-
2xxxxx	+	+	-	+
3xxxxx	+	+	-	-
4xxxxx	+	-	+	+
5xxxxx	+	-	+	-
6xxxxx	+	-	-	+
7xxxxx	+	-	-	-
8xxxxx	-	+	+	+
9xxxxx	-	+	+	-
Axxxxx	-	+	-	+
Bxxxxx	-	+	-	-
Cxxxxx	-	-	+	+
Dxxxxx	-	-	+	-
Exxxxx	-	-	-	+
Fxxxxx	-	-	-	-

Lage des Adressenanfangs im 1 Mbyte-Bereich in 64 Kbyte-Schritten

XB1.5....8

Anfangsadresse	Wickelbrücken XB1.5	XB1.6	XB1.7	XB1.8
x0xxxx	+	+	+	+
x1xxxx	+	+	+	-
x2xxxx	+	+	-	+
x3xxxx	+	+	-	-
x4xxxx	+	-	+	+
x5xxxx	+	-	+	-
x6xxxx	+	-	-	+
x7xxxx	+	-	-	-
x8xxxx	-	+	+	+
x9xxxx	-	+	+	-
xAxxxx	-	+	-	+
xBxxxx	-	+	-	-
xCxxxx	-	-	+	+
xDxxxx	-	-	+	-
xExxxx	-	-	-	+
xFxxxx	-	-	-	-

```
*************************************************************************
*                                          * BL.-NR. *                  *
*                                          *         *                  *
*        36 04 38 : 122.25 (TB4)(4)        *    2    *                  *
*                                          *         *                  *
*************************************************************************
```

Lage des Adressenanfangs im 64 Kbyte-Bereich in 4 Kbyte-Schritten

XB2.1 ... 4

Anfangsadresse	Wickelbrücke XB2.1	XB2.2	XB2.3	XB2.4
xx0000	+	+	+	+
xx1000	+	+	+	-
xx2000	+	+	-	+
xx3000	+	+	-	-
xx4000	+	-	+	+
xx5000	+	-	+	-
xx6000	+	-	-	+
xx7000	+	-	-	-
xx8000	-	+	+	+
xx9000	-	+	+	-
xxA000	-	+	-	+
xxB000	-	+	-	-
xxC000	-	-	+	+
xxD000	-	-	+	-
xxE000	-	-	-	+
xxF000	-	-	-	-

Auswahl des Interruptsignals für Paritätsfehlermeldung

XB3.1...8

Wickelbrücke	Interruptleitung
XB3.1	INT7
XB3.2	INT6
XB3.3	INT5
XB3.4	INT4
XB3.5	INT3
XB3.6	INT2
XB3.7	INT1
XB3.8	INT0

Einstellung der E/A-Grundadresse

XB6

	E/A-Grundadresse
Brücke geschlossen	00xx
Brücke offen	80xx

```
*****************************************************************
*                                          * BL.-NR. *          *
*                                          *         *          *
*        36 04 38 : 122.25 (TB4)(4)        *    3    *          *
*                                          *         *          *
*****************************************************************
```

Einschränkung der Speicherkapazität

XB4

Brücke geschlossen: Speicherkapazität = 128 Kbyte
Brücke offen: Speicherkapazität = 256 Kbyte

Einstellung der E/A-Portgruppenadresse

XB5.2 - 1, XB5.2 - 3

Brücke	Portgruppenadresse
XB5.2 - XB5.1	xx0x
XB5.2 - XB5.3	xx4x

Auswahl der Einzel-E/A-Adresse

XB7.1...8

Wickelbrücke	Adresse
XB7.1	xxx0
XB7.2	xxx2
XB7.3	xxx4
XB7.4	xxx6
XB7.5	xxx8
XB7.6	xxxA
XB7.7	xxxC
XB7.8	xxxE

Auswahl des Taktgenerators für die Ablaufsteuerung

XB9

Brücke geschlossen: interner 20 MHz-Taktgenerator
Brücke offen: Einspeisung externer Fremdtakt möglich

Einstellung WAIT-Zyklen und /XACK

XB8.1, XB8.2

XB8.2 geschlossen: 2 x Wait - nachlaufendes /XACK
XB8.1 geschlossen: 1 x Wait - vorlaufendes /XACK

!! Beide Brücken geschlossen oder offen ist verboten !!

	BL.-NR.
36 04 38 : 122.25 (TB4)(4)	4

5. Interruptbehandlung

Bei Auftreten eines Paritätsfehlers wird ein Interrupt-Flipflop gesetzt. Das Interruptsignal kann über die Wickelbrücken XB3 auf auf eine der 8 Businterruptleitungen gelegt werden.

Das Löschen des Interrupts ist möglich

- durch das Bussignal /INIT bzw. INIT-2
- durch einen Schreibzugriff auf die eingestellte E/A-Portadresse

Beim Schreiben zum Zwecke des Registerlöschens ist darauf zu achten, daß dadurch nicht ungewollt die Parität umprogrammiert wird. Im Normalfall erfolgt das Löschen durch Schreiben von 01H (ungerade Parität).

6. Busbelastung durch die Eingänge (Treiberstrom bei Ausgängen)

Signalname			Ausgang		Eingang	
	UH (V)	Ul (V)	-IOH (mA)	IOL (mA)	IIH (mA)	-IIL (mA)
/DAT0.../DATF	2.4	0.5	5.0	32.0	0.05	0.2
/ADR0	2.4	0.5	-	-	0.05	0.2
/ADR1.../ADRB	2.4	0.5	-	-	0.02	0.36
/ADRC.../ADRF	2.7	0.5	-	-	0.1	1.80
/ADR10.../ADR17	2.7	0.5	-	-	0.08	1.44
/MWTC	2.4	0.5	-	-	0.05	2.00
/MRDC	2.4	0.5	-	-	0.05	2.00
/AUX0	2.4	0.5	-	-	0.05	3.52
/AUX2	2.4	0.5	-	-	-	-
/IORC	2.4	0.5	-	-	0.05	2.00
/OIWC	2.4	0.5	-	-	0.05	2.00
/INIT	2.4	0.5	-	-	0.05	2.00
/BHEN	2.4	0.5	-	-	0.05	2.00
/XACK	2.4	0.5	2.0	16.0	-	-

7. Softwarebedingungen

7.1 Testroutinen

Der Test der Steckeinheit im Gerät erfolgt über das Programm "W", das auf einem PROM der ZVE realisiert ist und folgende Testroutinen enthält:

Aufruf: Rechner befindet sich im Monitor. Nun "W" <CR> geben. Auf dem Display erfolgt die Meldung mit:

```
        ** RAM - TEST **
START-SEGMENTADRESSE (XXXX): 4000    <-- Beispieladr.
END-  SEGMENTADRESSE (XXXX): 8000    <-- bei 8000 -1 hört
MODE (R/W/M/C/Q)?:                       Testung auf.
```

R = Speicher wird wortweise mit der Offsetadresse der geradzahligen Adressen 1 x beschrieben, danach wird nur noch zyklisch gelesen.

```
W
ROTATIONS-MASK (XX): 03                 <--Beispiel
```

W = Der Wert, der als Rotationsmaske eingetragen wird, wird durchgeschoben, also geschrieben, gelesen, geschoben usw..

```
M
MEMORY-BACKGROUND:03                    <--Beispiel
CHECKBYTE:44                            <--Beispiel
```

M = Marchingtest. Der Speicher wird mit den Wert 03 byteweise beschrieben. Danach wird die 1. Zelle mit 44 beschrieben und nachgesehen ob die folgende Zelle auf 03 getestet und dies aufsteigend bis zum Speicherende.

```
C
COMPARE-SEGMENTADRESSE (XXXX):5000       <--Beispiel
```

C = Compare. Es werden zwei Speicherbereiche mit der anfangs eingestellten Länge verglichen.

Q = Rückkehr in den Monitor

Nach jedem fehlerfreien Durchlauf wird # ausgegeben.

7.2 Fehlermeldungen

Bei Fehlern erscheint folgender Ausdruck:

```
ERROR AT 1000:0000  SOLL: 0002  IST: 0019  <--Beispiel
```

8. Montage und Installation

Die Module sind vorzugsweise in senkrechter Einbaulage (Steckverbinder senkrecht) anzuordnen, um die erforderliche Wärmeabfuhr zu gewährleisten, damit die Oberflächentemperatur + 70 grd C nicht übersteigt.
Montage und Installation hat unter Einhaltung der Sicherheitsbestimmungen durch befugte und qualifizierte Fachkräfte zu erfolgen.

9. Wartung und Instandsetzung

Die Module sind bei Einhaltung der vorgeschriebenen Einsatzbedingungen wartungsfrei. Im Ausnahmefall erforderlich werdende Reparaturen dürfen nur von befugten und qualifizierten Fachkräften mit entsprechenden Prüfmitteln, Prüfprogrammen und Werkzeugen unter Beachtung der Sicherheitsbedingungen durchgeführt werden.

SLKZ	BENENNUNG	SACHNUMMER	BEMERKUNGEN
C1	ELYTKONDENSATOR	47/10 A TGL38928	47UF;10V;WIE C3-8 C46
C2	T-KONDENSATOR	0,22/35 TGL38965	0.22UF;35V;WIE C9 -45,C47-64,C67-71
C3-8	WIE C1		
C9-45	WIE C2		
C46	WIE C1		
C47-64	WIE C2		
C65	KONDENSATOR	EDVU-N750 -180 /5 - 63 TGL35780	180PF;63V
C66	KT-KONDENSATOR	0,022/10 /160 TGL38159	0,022UF;160V
C67-71	WIE C2		
CQ1	SCHWINGQUARZ	Q 52/ E 2 O 1020 MHZTGL 33585	20000KHZ
D1-3	SCHALTKREIS	DS 8287 D TGL42622	
D4-5	SCHALTKREIS	DS 8282 D TGL42623	
D6	SCHALTKREIS	DS 8283 D TGL42623	
D7-8	SCHALTKREIS	K 531 IP 5P	
D9-11	SCHALTKREIS	DL 083 D TGL43608	
D12	SCHALTKREIS	DL 014 D TGL43206	WIE D26-27
D13	SCHALTKREIS	MH 74S04	WIE D58,D73
D14-22	SCHALTKREIS	U 2164 C 20 TGL42234	WIE D30-38,D46-54 D64-72
D23	SCHALTKREIS	AM 2964 B	
D24	SCHALTKREIS	DL 8121 D TGL43297	
D25	SCHALTKREIS	K 531 LA 2 P	
D26-27	WIE D12		
D28	SCHALTKREIS	K 531 LI 1P	
D29	SCHALTKREIS	DL 051 D TGL43290	
D30-38	WIE D14		
D39	SCHALTKREIS	DS 8205 D TGL39866	
D40	SCHALTKREIS	MH 74S10	WIE D57
D41	SCHALTKREIS	DL 000 D TGL39865	WIE D74
D42	SCHALTKREIS	DL 074 D TGL 39865	WIE D60,D62,D76
D43	SCHALTKREIS	K 531 LE 1P	
D44	SCHALTKREIS	K 531 LP 5 P	
D45	SCHALTKREIS	K 155 LP 8	
D46-54	WIE D14		
D55-56	SCHALTKREIS	AM 2966	
D57	WIE D40		
D58	WIE D13		
D59	SCHALTKREIS	DL 008 D TGL39865	
D60	WIE D42		
D61	SCHALTKREIS	DL 002 D TGL39865	

```
*************************************************************************
* AEND.-VERMERK:   *                                    * SPEZ.TECHNOL.*
*                  *                                    *              *
*                  *                                    * BLATT: 1/ 2  *
*******************  2 5 6 K   D R A M - 1 6             ***************
* BEARB.:          *                                    *              *
* KONSTR.:         *  3 6 0 4 3 8 : 1 2 2 . 2 5 (SL)    *              *
* TECHNOL.:        *                                    *              *
* E-STAND.:        *                                    *              *
* STAND.:          *                                    *              *
*************************************************************************
```

SLKZ	BENENNUNG	SACHNUMMER	BEMERKUNGEN
D62	WIE D42		
D63	SCHALTKREIS	MH 74S00	
D64-72	WIE D14		
D73	WIE D13		
D74	WIE D41		
D75	SCHALTKREIS	DL 164 D TGL43609	
D76	WIE D42		
D77	SCHALTKREIS	MH 74S74	
D78	SCHALTKREIS	DL 038 D TGL39894	
F1	SCHMELZEINSATZ	F6,3 TGL0-41571/01	
H1	LED	VQA 24 D TGL39422	
H2	LED	VQA 14 D TGL39422	
R1-3	STT	384518I-TGL29950-B1-9/3,0/10	9x4.7K
R4-7	SWF	4,7K/5/25.207.1 TGL8728	0.3W;WIE R9,R11-12,R29
R8	SWF	47/5/25.207.1 TGL8728	0.3W;WIE R19-21,R23
R9	WIE R4		
R10	SWF	680/5/25.207.1 TGL8728	0.3W
R11-12	WIE R4		
R13	SWF	316 OHM 1 % 23.207 TK100 TGL36521	0.3W;WIE R16
R14	SWF	21,5 OHM 2 % 23.207 TK200 TGL36521	0.3W;WIE R17
R15	SWF	1K/5/25.207.1 TGL8728	0.3W;WIE R18,R22
R16	WIE R13		
R17	WIE R14		
R18	WIE R15		
R19-21	WIE R8		
R22	WIE R15		
R23	WIE R8		
R24	SWF	330/5/25.207.1 TGL8728	0.3W;WIE R28
R25	SWF	261 OHM 2 % 23.207 TK200 TGL36521	0.3W
R26-27	SWF	240/5/25.207.1 TGL8728	0.3W
R28	WIE R24		
R29	WIE R4		
X1	STECKERLEISTE	C96-102 TGL 43887	
XB1-9	EINLOETKONTAKT	F1 TGL 32587/01	69 STCK
XM1,3	EINLOETKONTAKT	F1 TGL 32587/01	

SLKZ	BENENNUNG	SACHNUMMER	BEMERKUNGEN
C1	ELYTKONDENSATOR	47/10 A TGL38928	47UF;10V;WIE C3-8 C46
C2	T-KONDENSATOR	0,22/35 TGL38965	0.22UF;35V;WIE C9 -45,C47-64,C67-71
C3-8	WIE C1		
C9-45	WIE C2		
C46	WIE C1		
C47-64	WIE C2		
C65	KONDENSATOR	EDVU-N750 -180 /5 - 63 TGL35780	180PF;63V
C66	KT-KONDENSATOR	0,022/10 /160 TGL38159	0,022UF;160V
C67-71	WIE C2		
CQ1	SCHWINGQUARZ	Q 52/ E 2 0 1020 MHZTGL 33585	20000KHZ
D1-3	SCHALTKREIS	DS 8287 D TGL42622	
D4-5	SCHALTKREIS	DS 8282 D TGL42623	
D6	SCHALTKREIS	DS 8283 D TGL42623	
D7-8	SCHALTKREIS	K 531 IP 5P	
D9-11	SCHALTKREIS	DL 083 D TGL43608	
D12	SCHALTKREIS	DL 014 D TGL43206	WIE D26-27
D13	SCHALTKREIS	MH 74S04	WIE D58,D73
D14-22	SCHALTKREIS	U 2164 C 20 TGL42234	WIE D30-38,D46-54 D64-72
D23	SCHALTKREIS	AM 2964 B	
D24	SCHALTKREIS	DL 8121 D TGL43297	
D25	SCHALTKREIS	K 531 LA 2 P	
D26-27	WIE D12		
D28	SCHALTKREIS	K 531 LI 1P	
D29	SCHALTKREIS	DL 051 D TGL43290	
D30-38	WIE D14		
D39	SCHALTKREIS	DS 8205 D TGL39866	
D40	SCHALTKREIS	MH 74S10	WIE D57
D41	SCHALTKREIS	DL 000 D TGL39865	WIE D74
D42	SCHALTKREIS	DL 074 D TGL 39865	WIE D60,D62,D76
D43	SCHALTKREIS	K 531 LE 1P	
D44	SCHALTKREIS	K 531 LP 5 P	
D45	SCHALTKREIS	K 155 LP 8	
D46-54	WIE D14		
D55-56	SCHALTKREIS	AM 2966	
D57	WIE D40		
D58	WIE D13		
D59	SCHALTKREIS	DL 008 D TGL39865	
D60	WIE D42		
D61	SCHALTKREIS	DL 002 D TGL39865	

```
*********************************************************************
* AEND.-VERMERK:    *                                  * SPEZ.TECHNOL.*
*                   *                                  *              *
*                   *                                  * BLATT: 1/ 2  *
*******************  2 5 6 K   D R A M - 1 6 / R        ***************
* BEARB.:           *                                  *              *
* KONSTR.:          *  3 6 0 4 3 8 : 1 2 7 . 2 5 (SL)  *              *
* TECHNOL.:         *                                  *              *
* E-STAND.:         *                                  *              *
* STAND.:           *                                  *              *
*********************************************************************
```

SLKZ	BENENNUNG	SACHNUMMER	BEMERKUNGEN
D62	WIE D42		
D63	SCHALTKREIS	MH 74S00	
D64-72	WIE D14		
D73	WIE D13		
D74	WIE D41		
D75	SCHALTKREIS	DL 164 D TGL43609	
D76	WIE D42		
D77	SCHALTKREIS	MH 74S74	
D78	SCHALTKREIS	DL 038 D TGL39894	
F1	SCHMELZEINSATZ	F6,3 TGLO-41571/01	
H1	LED	VQA 24 D TGL39422	
H2	LED	VQA 14 D TGL39422	
R1-3	STT	384518I-TGL29950-B1-9/3,0/10	9x4.7K
R4-7	SWF	4,7K/5/25.207.1 TGL8728	0.3W;WIE R9,R11-12,R29
R8	SWF	47/5/25.207.1 TGL8728	0.3W;WIE R19-21,R23
R9	WIE R4		
R10	SWF	680/5/25.207.1 TGL8728	0.3W
R11-12	WIE R4		
R13	SWF	316 OHM 1 % 23.207 TK100 TGL36521	0.3W;WIE R16
R14	SWF	21,5 OHM 2 % 23.207 TK200 TGL36521	0.3W;WIE R17
R15	SWF	1K/5/25.207.1 TGL8728	0.3W;WIE R18,R22
R16	WIE R13		
R17	WIE R14		
R18	WIE R15		
R19-21	WIE R8		
R22	WIE R15		
R23	WIE R8		
R24	SWF	330/5/25.207.1 TGL8728	0.3W;WIE R28
R25	SWF	261 OHM 2 % 23.207 TK200 TGL36521	0.3W
R26-27	SWF	240/5/25.207.1 TGL8728	0.3W
R28	WIE R24		
R29	WIE R4		
X2	STECKERLEISTE	C96-102 TGL 43887	
XB1-9	EINLOETKONTAKT	F1 TGL 32587/01	69 STCK
XM2-3	EINLOETKONTAKT	F1 TGL 32587/01	

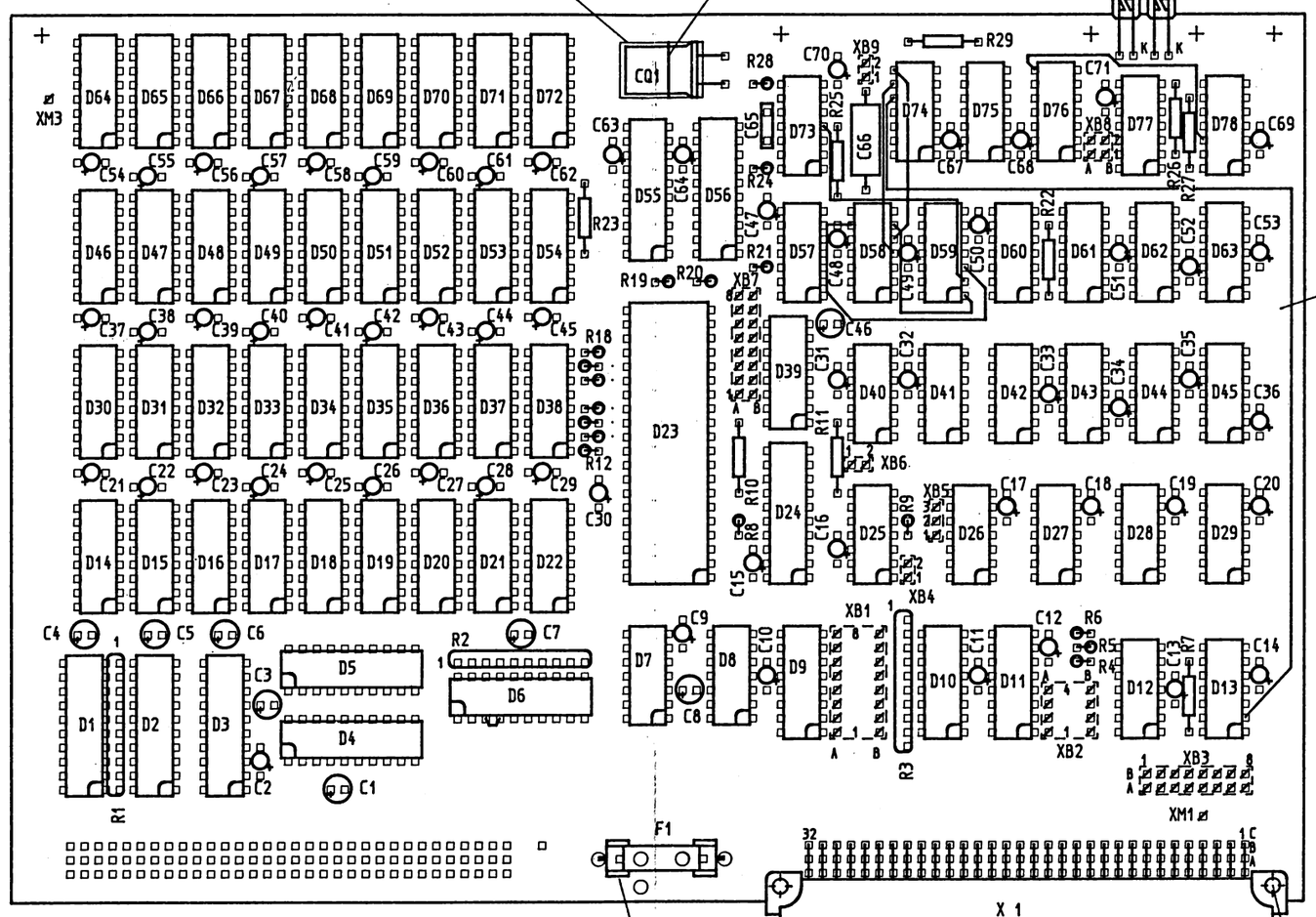
Kombinat
VEB Carl Zeiss JENA
Carl-Zeiss-Str.1
Jena
DDR-6900

Druckschriften-Nr. **25-G002-1**

M(p)G-7-036-90 V-14-6 0,1 9813

37 04 86:455.10(4)

Y1x0,5-ws TGL 21806
(25 lg.)



122.53(3)

B1 TGL 200-3623

051.10(4) untergelegt

A2,5x0,25x10 TGL 0-7340-Ms
C96-102 TGL 43887
2,7 TGL 17774-P

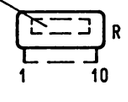
Zusätzliche Drahtverbindungen eingelöetet:

lfd.Nr.	von	nach
1	D6:4	D6:3
2	D13:2	D74:10
3	D58:4	D74:9
4	D74:8	D58:5
5	D58:6	D59:1
6	D59:2	D73:4
7	D59:3	D58:9
8	D76:8	D78:12

alle stehenden R mit
F11 FWB-N506.431 bestückt
(17 Stück)

ø ≙ F1 TGL 32587/01
(71 Stück)

Beschriftung

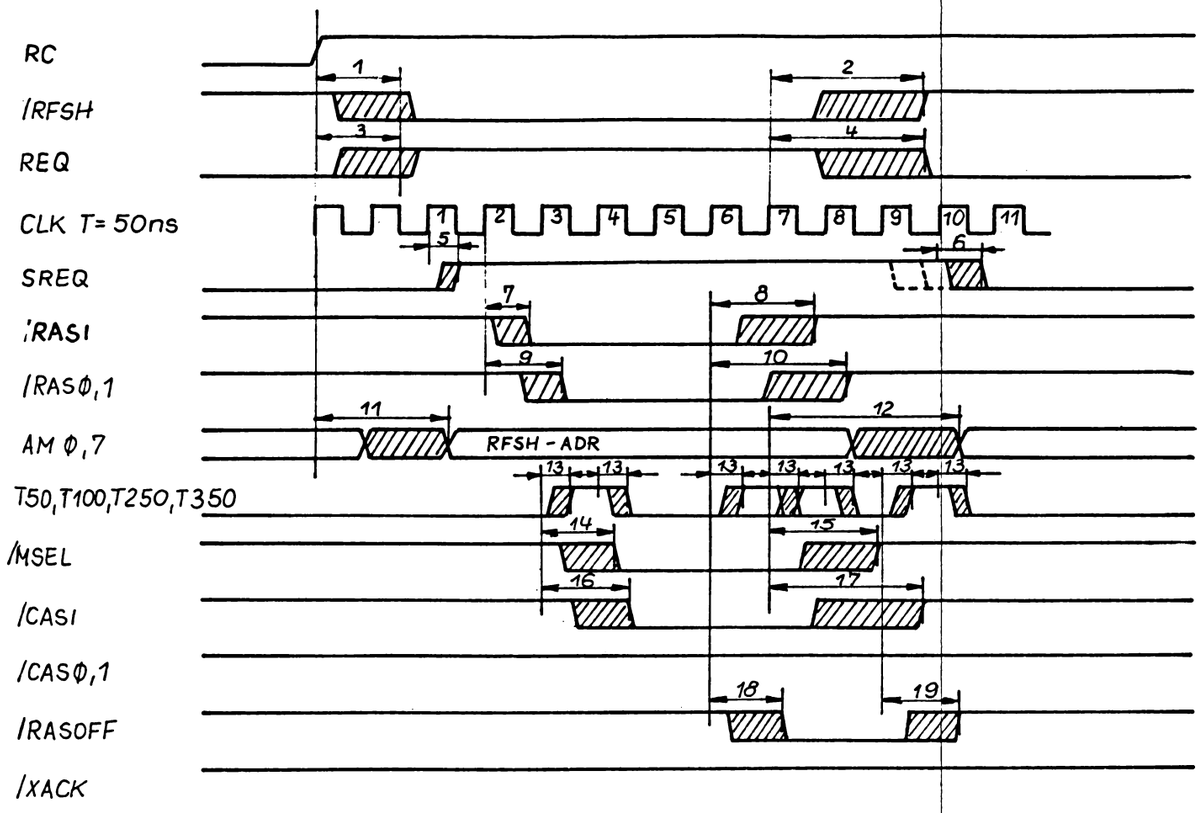


R1-R3

Schaltteile siehe: 122.25(Sl)

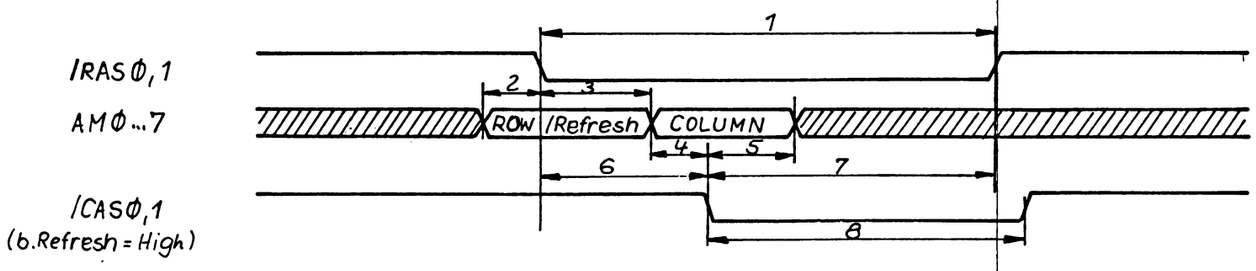
256K DRAM - 16

36 04 38:122.25



1 = 18-84 ns 2 = 43 - 135 ns
3 = 20 - 75 ns 4 = 45 - 141 ns
5 = 8 - 25 ns 6 = 8 - 40 ns
7 = 8 - 40 ns 8 = 23 - 90 ns
9 = 34 - 72 ns 10 = 49 - 122 ns
11 = 47 - 117 ns 12 = 72 - 168 ns
13 = 10 - 25 ns
14 = 18 - 65 ns 15 = 31 - 94 ns
16 = 28 - 78 ns 17 = 41 - 137 ns
18 = 18 - 65 ns 19 = 23 - 70 ns

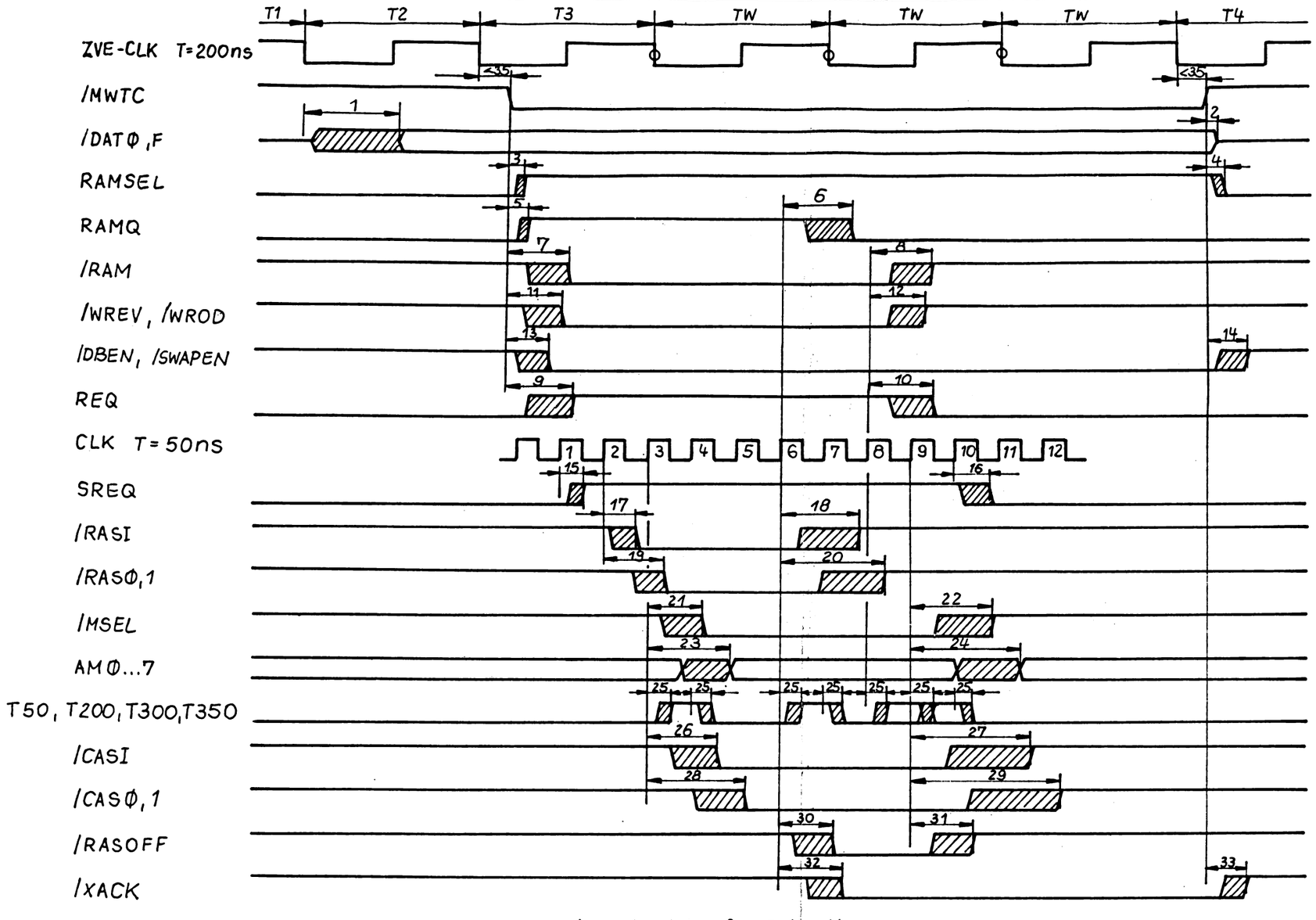
Impulsablauf - Refresh -



1 = ≥ 200 ns
2 = ≥ Ø ns 3 = ≥ 30 ns
4 = ≥ Ø ns 5 = ≥ 45 ns 6 = ≥ 45-90 ns 7 = ≥ 110 ns
8 = ≥ 110 ns

Impulsablauf RAS-ADR-CAS

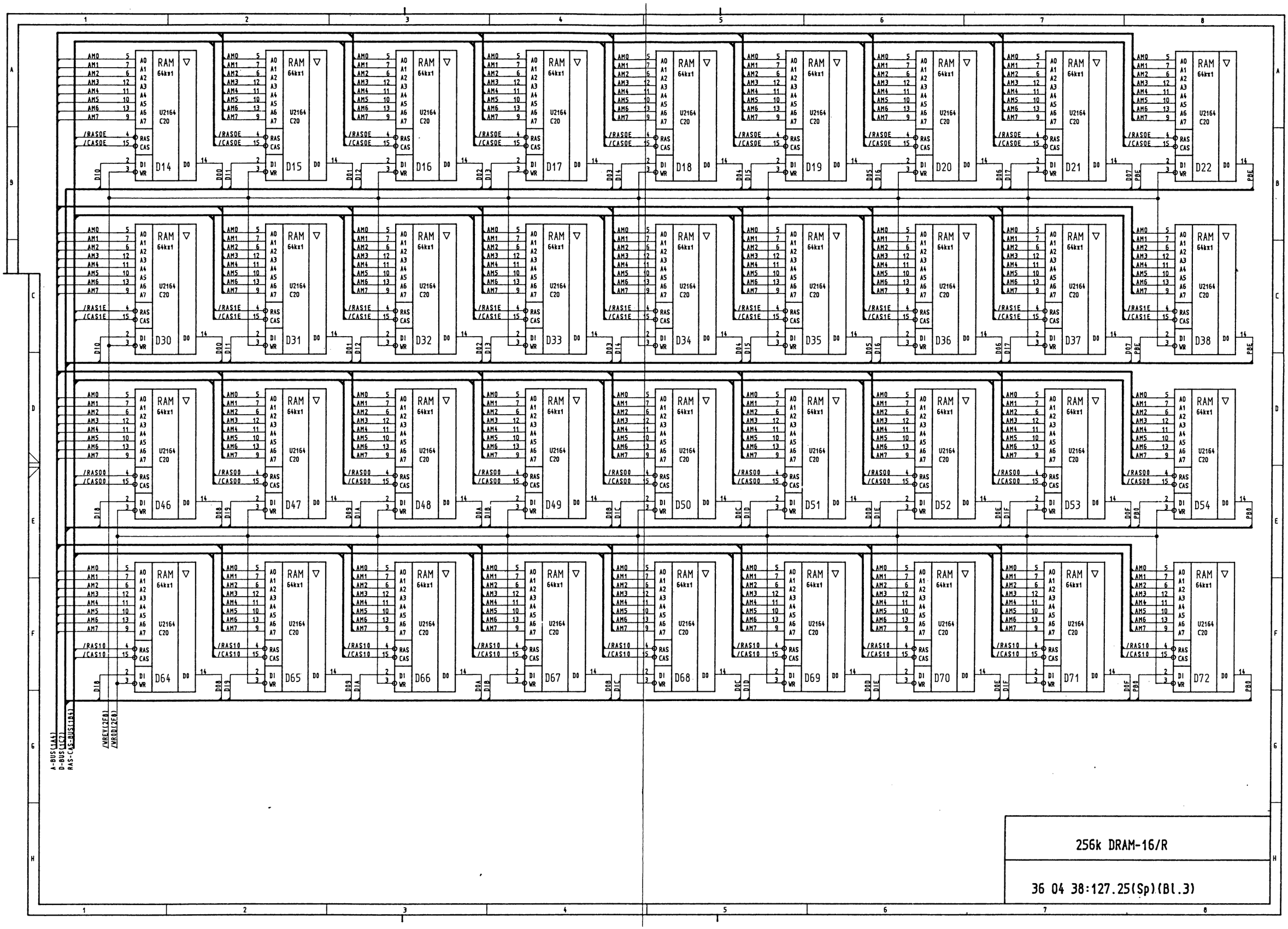
Funktionsbeschreibung	17
36 04 38 : 122 . 25 (TB3)(3)	

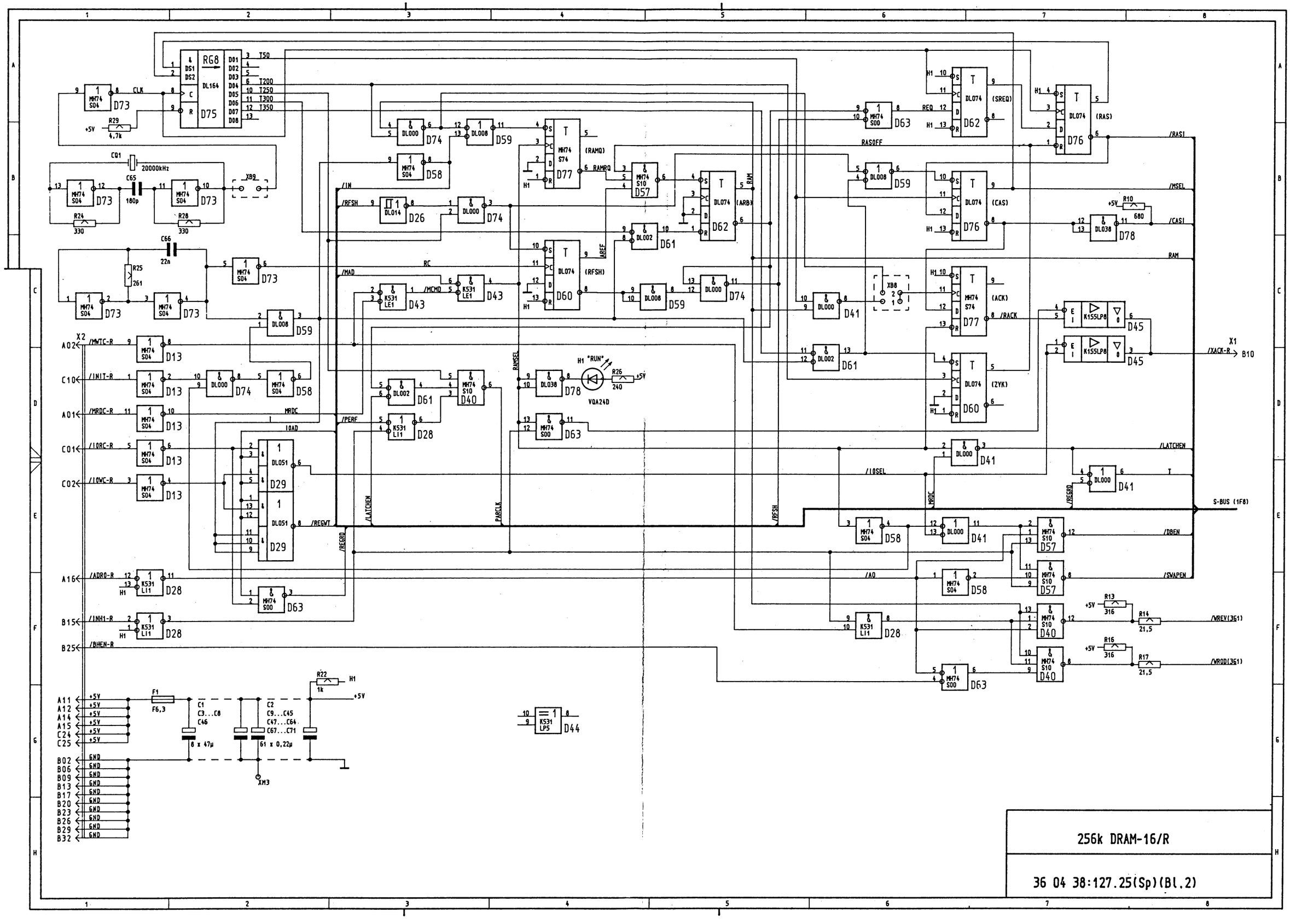


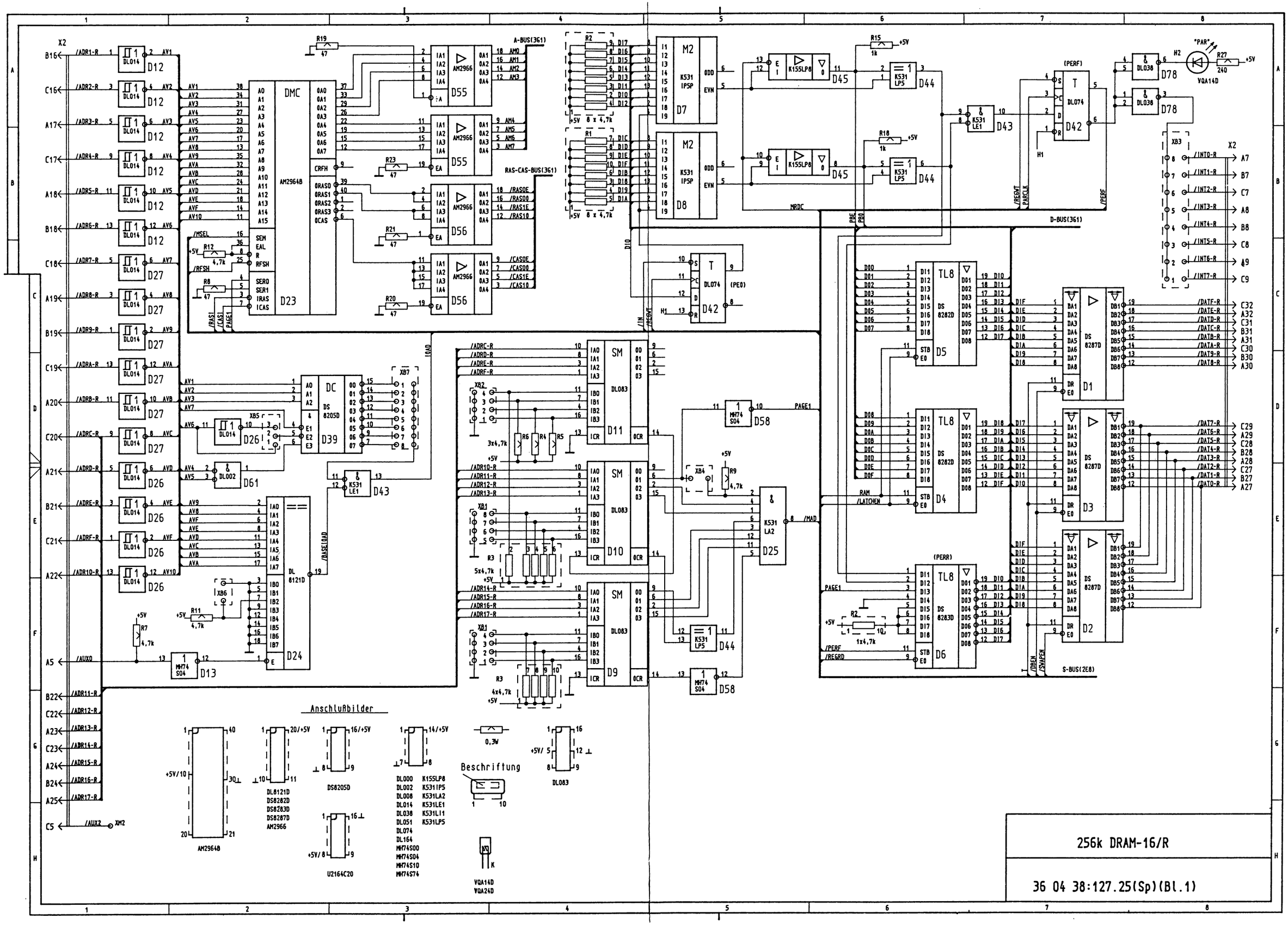
1 = 10-110ns	2 = < 10ns
3 = 8-17 ns	4 = 8-17ns
5 = 14-26ns	6 = 26-78ns
7 = 24-72 ns	8 = 23-70ns
11 = 26-65ns	12 = 26-65ns
13 = 17-49ns	14 = 17-49ns
9 = 26-78 ns	10 = 25-76ns
15 = 8-25 ns	16 = 8-40ns
17 = 8-40ns	18 = 18-90ns
19 = 34-72ns	20 = 44-122ns
21 = 18-65ns	22 = 31-94ns
23 = 39-98ns	24 = 52-127ns
25 = 10-25ns	
26 = 28-78ns	27 = 41-137ns
28 = 54-110ns	29 = 67-169ns
30 = 18-65 ns	31 = 23-70ns
32 = 33-72 ns	33 = 22-43ns

-Impulsablauf - Schreiben-

Funktionsbeschreibung	16
36 04 38 122 25 (TB3)(3)	

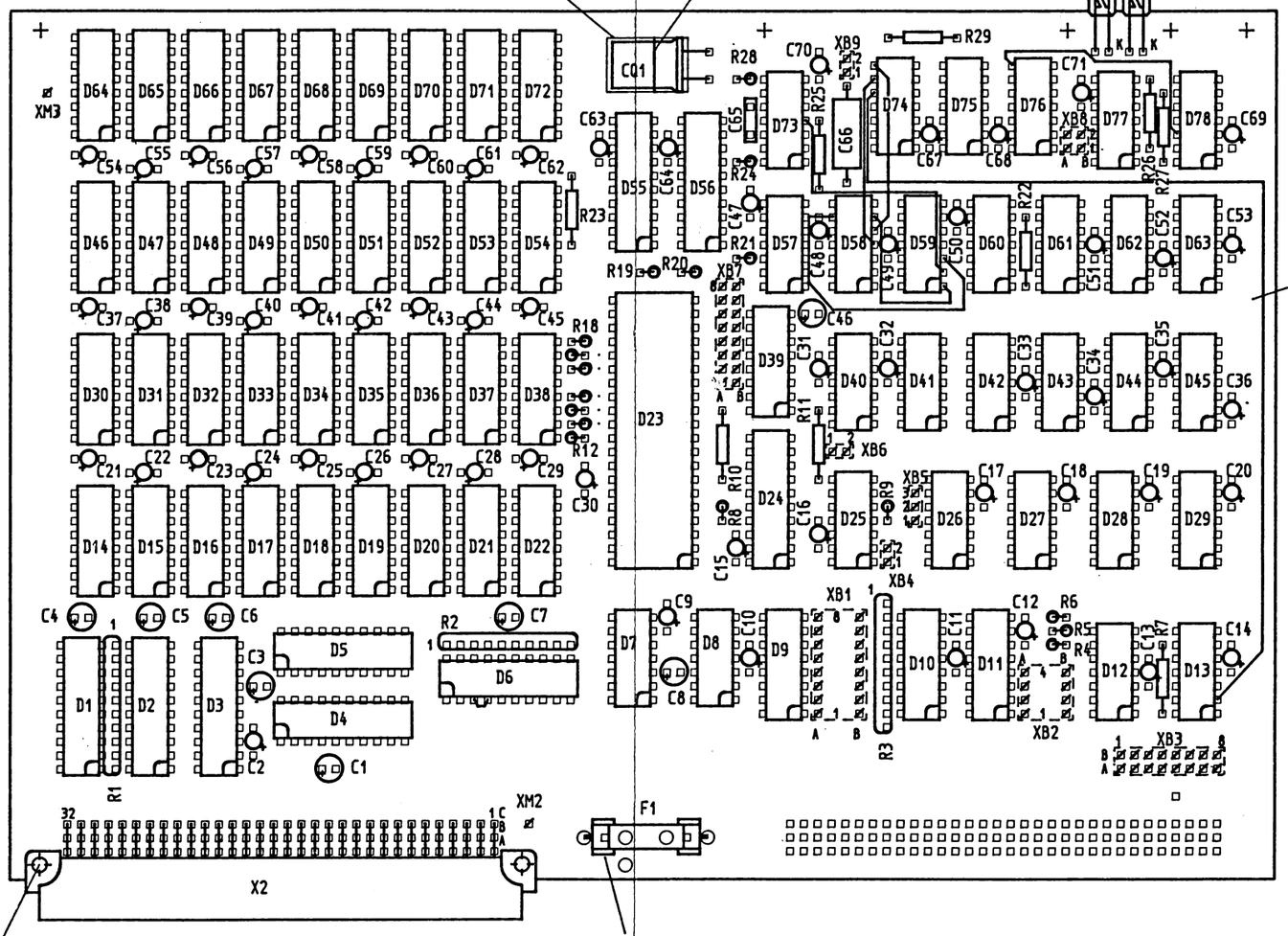

RAM 64kx1
U2164 C20
D14
D15
D16
D17
D18
D19
D20
D21
D22
D30
D31
D32
D33
D34
D35
D36
D37
D38
D46
D47
D48
D49
D50
D51
D52
D53
D54
D64
D65
D66
D67
D68
D69
D70
D71
D72
A-BUS(1A4)
D-BUS(1C7)
RAS-CAS-BUS(1B4)
/VREV(2F8)
/VROD(2F8)
256k DRAM-16/R
36 04 38:127.25(Sp)(Bl.3)

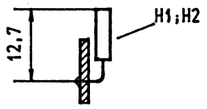

256k DRAM-16/R
36 04 38:127.25(Sp)(Bl.2)
RG8
DL164
D75
D73
D74
D59
D58
D26
D77
D57
D62
D61
D60
D43
D41
D76
D78
D45
D13
D28
D29
D40
D44
D63
CLK
T50
T200
T250
T300
T350
CQ1
20000kHz
C65
180p
C66
22n
R25
261
R24
330
R26
330
R29
4,7k
XB9
/IN
/RFSH
/MAD
RC
/MCMD
/PERF
MRDC
IOAD
/REGWT
/REGRD
/LATCHEN
PARCLK
RAMSEL
RAMRQ
RAM
AREF
RASOFF
REQ
/RASI
/MSEL
/CASI
/ACK
/RACK
/ZYK
/IOSEL
/DBEN
/SWAPEN
/A0
/WREV(361)
/WROD(361)
/XACK-R
S-BUS (1F8)
/MWTC-R
/INIT-R
/MRDC-R
/IORC-R
/IOWC-R
/ADR0-R
/INH1-R
/BHEN-R
H1 "RUN"
VQA24D
R10
680
R13
316
R14
21,5
R16
316
R17
21,5
R22
1k
F1
F6,3
C1
C3...C8
C46
8 x 47µ
C2
C9...C45
C47...C64
C67...C71
61 x 0,22µ
XM3
K155LP8
K531 LP5
K531 LE1
K531 LI1
MH74 S04
MH74 S00
MH74 S10
MH74 S74
DL000
DL002
DL008
DL014
DL038
DL051
DL074
(RAMQ)
(ARB)
(RFSH)
(SREQ)
(RAS)
(CAS)
(ACK)
(ZYK)
+5V
GND


256k DRAM-16/R
36 04 38:127.25(Sp)(Bl.1)
Anschlußbilder
Beschriftung
AM2964B
DL8121D
DS8205D
DS8282D
DS8283D
DS8287D
AM2966
U2164C20
DL000 K155LP8
DL002 K531P5
DL008 K531LA2
DL014 K531LE1
DL038 K531L11
DL051 K531LP5
DL074
DL164
MH74S00
MH74S04
MH74S10
MH74S74
VQA14D
VQA24D
A-BUS(361)
RAS-CAS-BUS(361)
D-BUS(361)
S-BUS(2E8)
DMC
AM2964B
DC
DS 8205D
SM
DL083
DL 8121D
TL8
DS 8282D
DS 8287D
DS 8283D
K531 IPSP
K531 LP5
K531 LE1
K531 LA2
K155LP8
DL074
DL014
DL002
DL038
MH74 S04
VQA14D

37 04 86:455.10(4)

Y1x0,5-ws TGL 21806
(25 lg.)





122.54(3)

Zusätzliche Drahtverbindungen eingelötet:

lfd.Nr.	von	nach
1	D6:4	D6:3
2	D13:2	D74:10
3	D58:4	D74:9
4	D74:8	D58:5
5	D58:6	D59:1
6	D59:2	D73:4
7	D59:3	D58:9
8	D76:8	D78:12

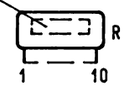
A2,5x0,25x10 TGL 0-7340-Ms
C96-102 TGL 43887
2,7 TGL 17774-P

B1 TGL 200-3623
051.10(4) untergelegt

alle stehenden R mit
F11 FWB-N506.431 bestückt
(17 Stück)

ø ≙ F1 TGL 32587/01
(71 Stück)

Beschriftung

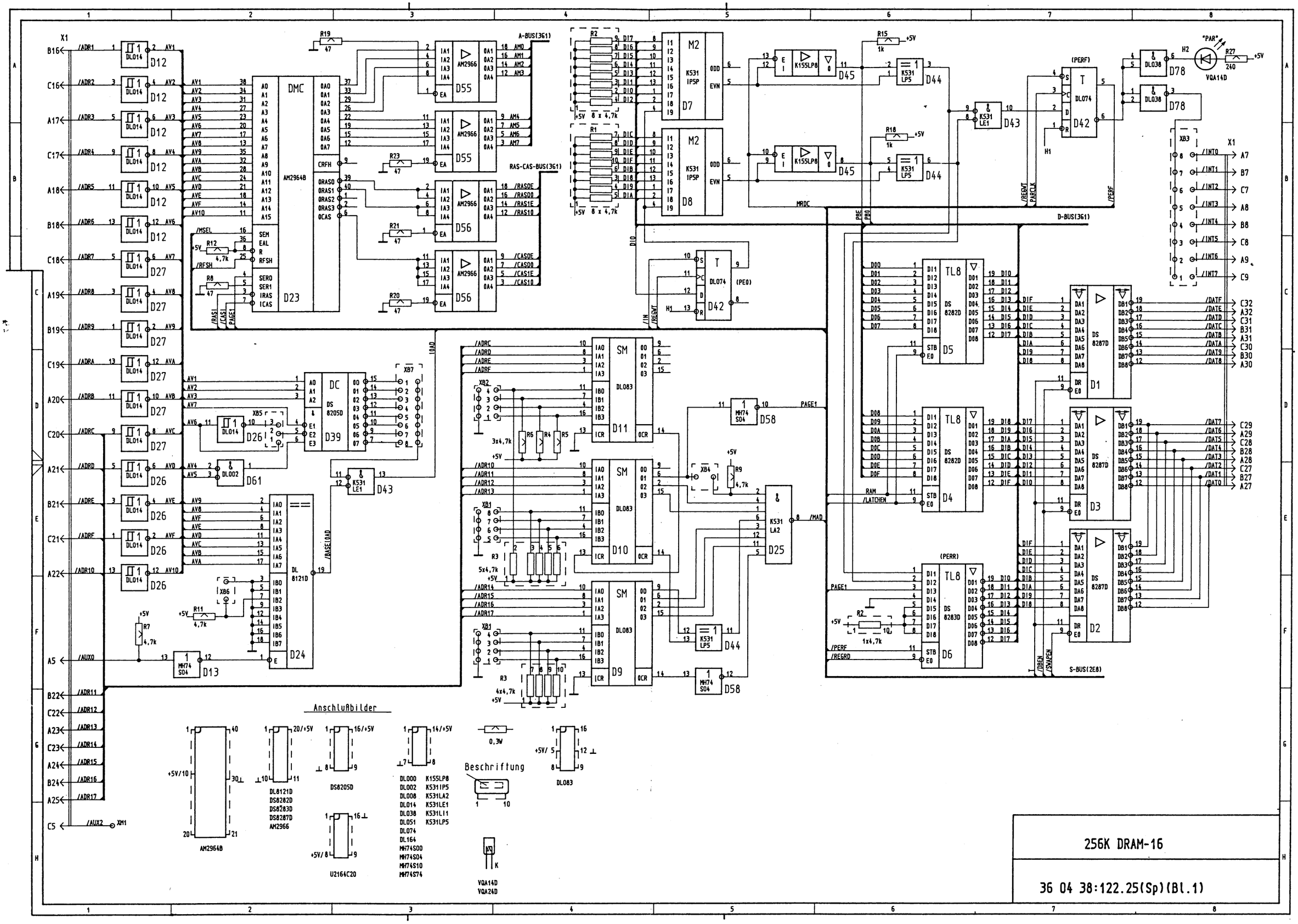


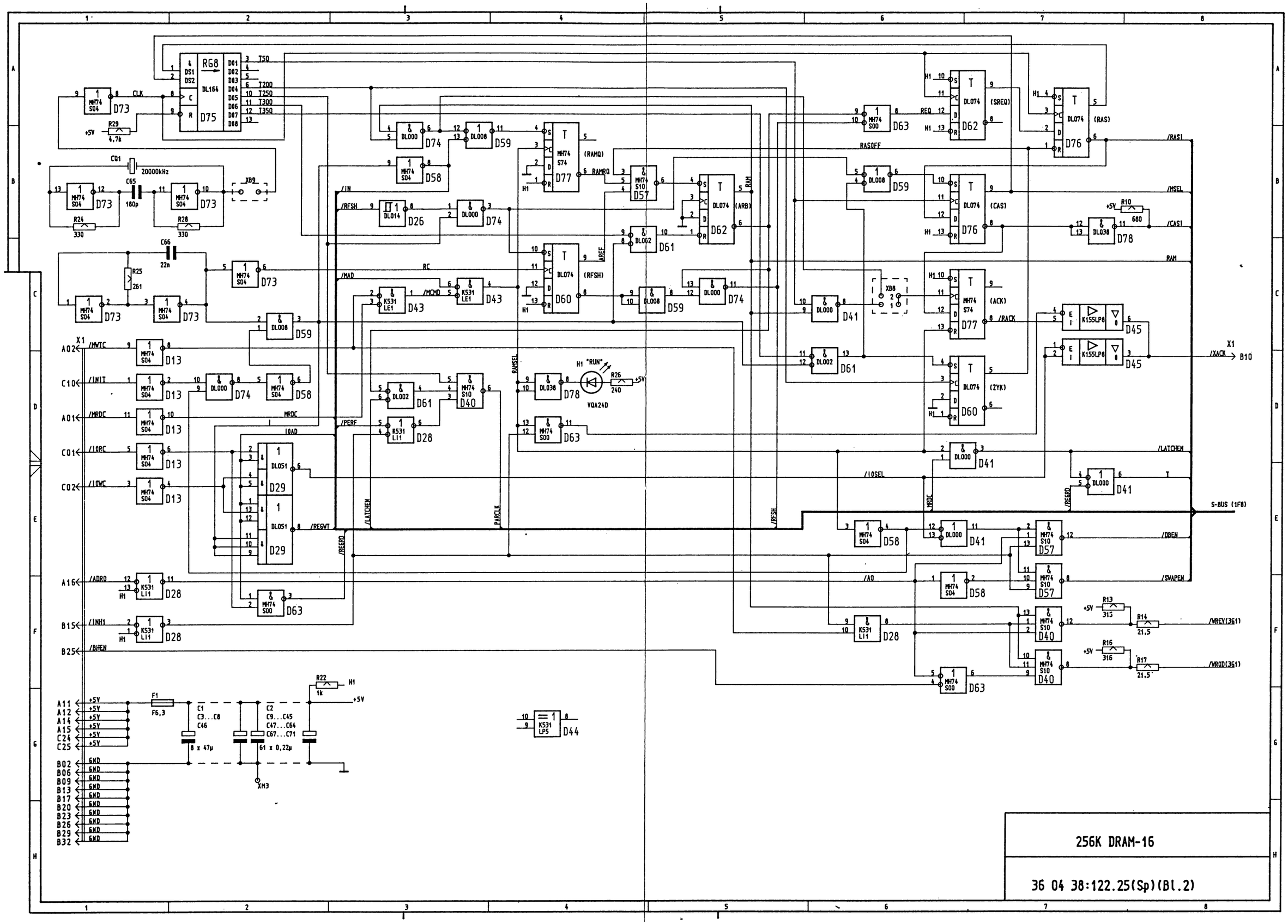
R1-R3

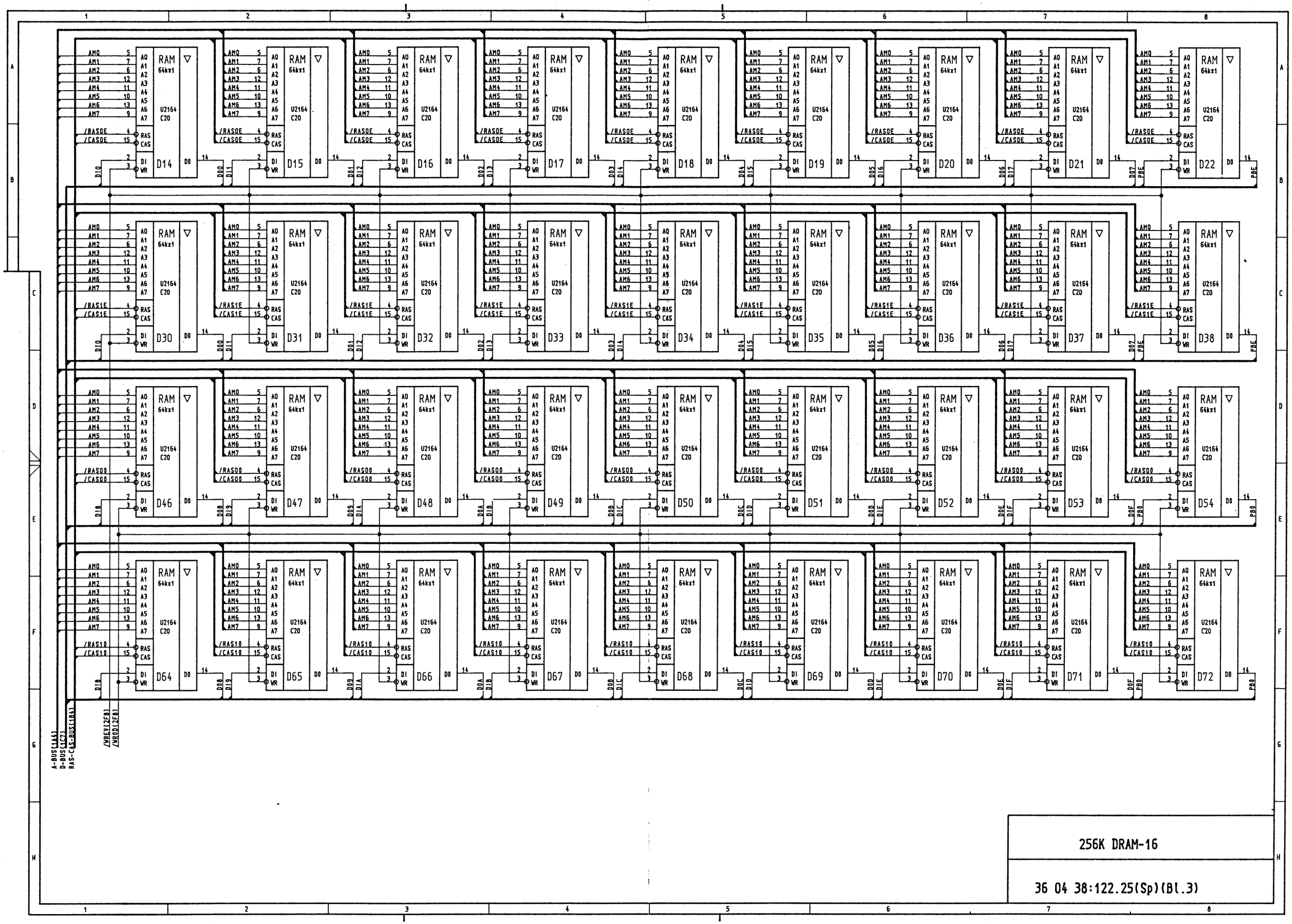
Schaltteile siehe: 127.25(Sl)

256K DRAM - 16 / R

36 04 38:127.25


256K DRAM-16
36 04 38:122.25(Sp)(Bl.1)
Anschlußbilder
Beschriftung
DMC
AM2964B
D23
D55
D56
D7
D8
D42
D45
D44
D43
D78
D12
D27
D26
D61
D39
D24
D13
D11
D10
D9
D25
D58
D5
D4
D6
D1
D2
D3
A-BUS(3E1)
RAS-CAS-BUS(3E1)
D-BUS(3E1)
S-BUS(2E8)
DS8205D
DL8121D
DS8282D
DS8283D
DS8287D
U2164C20
VQA14D
VQA24D
DL000 K155LP8
DL002 K531P5
DL008 K531LA2
DL014 K531LE1
DL038 K531LI1
DL051 K531LP5
DL074
DL164
MH74S00
MH74S04
MH74S10
MH74S74


256K DRAM-16
36 04 38:122.25(Sp)(Bl.2)
S-BUS (1F8)
/RAS1
/MSEL
/CAS1
RAM
/ACK
/XACK
/LATCHEN
/DBEN
/SVAPEN
/WREV(3G1)
/WROD(3G1)
/RAMRQ
/RFSH
/IN
/MAD
/MCMD
/PERF
/REGWT
/REGRD
/ADRO
/INH1
/BHEN
/MWTC
/IN1T
/MRDC
/IORC
/IOWC
/IOSEL
/AO
/RASOFF
/RACK
/RAMSEL
/AREF
/PARCLK
/RAS
/CAS
/SREQ
/ARB
/RFSH
/ZYK
REQ
RC
T
T200
T250
T300
T350
CLK
+5V
GND
H1 "RUN"
VQA24D
20000kHz
X1
B10



256K DRAM-16

36 04 38:122.25(Sp)(Bl.3)